

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349285

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

H01L 29/78  
H01L 21/316  
H01L 21/8238  
H01L 27/092  
H01L 29/43

(21)Application number : 11-158089

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.06.1999

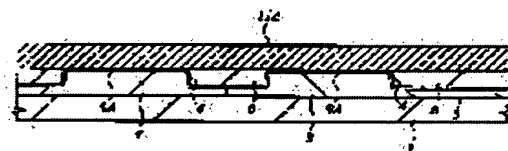
(72)Inventor : YAMAMOTO NAOKI  
TANABE YOSHIKAZU

## (54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND THE SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To restore defects of the gate insulating film which has an extremely small thickness of  $\leq 5$  nm (equivalent to silicon dioxide) of an MISFET, in which a metal gate electrode is formed on the gate insulating film without oxidizing the metal gate electrode.

SOLUTION: After a W film 11A composed of a gate electrode material is formed on a gate insulating film 9A, which is formed on the main surface of a single-crystal silicon substrate 1 and has a thickness of  $\leq 5$  nm (equivalent to silicon dioxide), the defects of the film 9A immediately below the W film 11A are restored by heat-treating the substrate 1 in the atmosphere of a mixed gas of moisture and hydrogen, which is prepared by adjusting the moisture/hydrogen ratio, in such a way that the W film 11A is not oxidized substantially, but the silicon is oxidized.



## LEGAL STATUS

[Date of request for examination]

05.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of rig

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349285

(P2000-349285A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L	29/78	H 0 1 L 29/78	3 0 1 G 4 M 1 0 4
	21/316	21/316	S 5 F 0 4 0
	21/8238	27/08	3 2 1 D 5 F 0 4 8
	27/092	29/62	G 5 F 0 5 8
	29/43		

審査請求 未請求 請求項の数30 O L (全 32 頁)

(21) 出願番号 特願平11-158089

(22) 出願日 平成11年6月4日 (1999. 6. 4)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 山本 直樹

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 田辺 義和

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

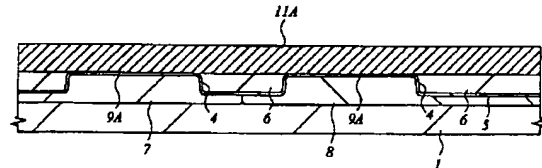
(54) 【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置

(57) 【要約】

【課題】 二酸化シリコン換算膜厚が5nm未満の極薄ゲート絶縁膜上にメタルゲート電極を形成したMISFETにおいて、メタルゲート電極を酸化させることなくゲート絶縁膜の欠陥を修復する。

【解決手段】 単結晶シリコン基板1の主面上に形成した二酸化シリコン換算膜厚が5nm未満のゲート絶縁膜9A上にゲート電極材料であるW膜11Aを形成した後、水分／水素分圧比がW膜11Aを実質的に酸化せず、シリコンを酸化するような割合に設定された水分＋水素混合ガス雰囲気中でシリコン基板1を熱処理することにより、W膜11A直下のゲート絶縁膜9Aの欠陥を修復する。

図 12



(2) 000-349285 (P2000-裡牽)

## 【特許請求の範囲】

【請求項1】 以下の工程からなる半導体集積回路装置の製造方法；

(a) 二酸化シリコン換算膜厚が5nm未満の膜厚を有し、酸化シリコンを主要な成分とする単一絶縁膜またはそれと他の絶縁膜とを含む複合絶縁膜からなるゲート絶縁膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b) 前記ゲート絶縁膜上に、多結晶シリコンを主要な構成要素とする中間層を介することなく、高融点金属を主要な成分とするメタル膜を形成した後、前記メタル膜をパターンニングしてメタルゲート電極を形成する工程、(c) 水分／水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記メタルゲート電極が形成された前記第1の主面に対して熱処理を行なうことによって、前記メタルゲート電極直下の前記ゲート絶縁膜中の欠陥を修復する工程。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法において、前記高融点金属は、モリブデンまたはタングステンであることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項2記載の半導体集積回路装置の製造方法において、前記ゲート絶縁膜の二酸化シリコン換算膜厚は、4nm未満であることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項2記載の半導体集積回路装置の製造方法において、前記ゲート絶縁膜の二酸化シリコン換算膜厚は、3nm未満であることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 以下の工程からなる半導体集積回路装置の製造方法；

(a) 二酸化シリコン換算膜厚が5nm未満の膜厚を有し、窒化シリコンを主要な成分とする単一絶縁膜またはそれと他の絶縁膜とを含む複合絶縁膜からなるゲート絶縁膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b) 前記ゲート絶縁膜上に、多結晶シリコンを主要な構成要素とする中間層を介することなく、高融点金属を主要な成分とするメタル膜を形成した後、前記メタル膜をパターンニングしてメタルゲート電極を形成する工程、(c) 水分／水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記メタルゲート電極が形成された前記第1の主面に対して熱処理を行なうことによって、前記メタルゲート電極直下の前記ゲート絶縁膜中の欠陥を修復する工程。

【請求項6】 請求項5記載の半導体集積回路装置の製造方法において、前記高融点金属は、モリブデンまたはタングステンであることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項6記載の半導体集積回路装置の製

造方法において、前記水分と水素とを含むガスは、さらに窒素またはアンモニアガスを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項8】 以下の工程からなる半導体集積回路装置の製造方法；

(a) 二酸化シリコン換算膜厚が5nm未満の膜厚を有し、二酸化シリコンよりも誘電率が高い金属酸化物を主要な成分とする単一絶縁膜またはそれと他の絶縁膜とを含む複合絶縁膜からなるゲート絶縁膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b) 前記ゲート絶縁膜上に、多結晶シリコンを主要な構成要素とする中間層を介することなく、高融点金属を主要な成分とするメタル膜を形成した後、前記メタル膜をパターンニングしてメタルゲート電極を形成する工程、(c) 水分／水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記メタルゲート電極が形成された前記第1の主面に対して熱処理を行なうことによって、前記メタルゲート電極直下の前記ゲート絶縁膜中の欠陥を修復する工程。

【請求項9】 請求項8記載の半導体集積回路装置の製造方法において、前記金属酸化物膜を構成する金属は、チタン、ジルコニウム、またはハフニウムであることを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項8記載の半導体集積回路装置の製造方法において、前記金属酸化物膜を構成する金属は、タンタルであることを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項8記載の半導体集積回路装置の製造方法において、前記金属酸化物膜を構成する金属は、アルミニウムであることを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項8記載の半導体集積回路装置の製造方法において、前記金属酸化物膜は、 $ABO_3$ 型の広義のペロブスカイト型構造を含む高誘電体であって、動作温度において常誘電相にあるものであることを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項12記載の半導体集積回路装置の製造方法において、前記高誘電体は、BSTであることを特徴とする半導体集積回路装置の製造方法。

【請求項14】 以下の工程からなる半導体集積回路装置の製造方法；

(a) 水分と水素とを含むガス雰囲気中における酸化還元平衡曲線がシリコンのそれよりも低水分側にある第1の高融点金属を主要な成分とする第1の膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b) 水分／水素分圧比が前記シリコン表面を実質的に酸化せず、前記第1の高融点金属を酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記第1の膜が形成された前記第1の主面に対して熱処理を

(3) 000-349285 (P2000-V85)

行ない、前記第1の高融点金属をその酸化物に変換することによって、前記シリコン表面にゲート絶縁膜を形成する工程、(c)前記(b)工程の前または後に、ゲート電極を形成する工程。

【請求項15】 請求項14記載の半導体集積回路装置の製造方法において、前記第1の高融点金属は、チタン、ジルコニウム、またはハフニウムであることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項15記載の半導体集積回路装置の製造方法において、前記(b)工程における前記水分と水素とを含むガス雰囲気は、触媒を用いて水分を合成することによって形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 以下の工程からなる半導体集積回路装置の製造方法；

(a)水分と水素とを含むガス雰囲気中における酸化還元平衡曲線がシリコンのそれよりも低水分側にある第1の高融点金属の酸化物を主要な成分とするゲート絶縁膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b)水分／水素分圧比が前記シリコン表面を実質的に酸化せず、前記第1の高融点金属の酸化物を生成するような割合に設定された水分と水素とを含むガス雰囲気中において、前記第1の膜が形成された前記第1の主面に対して熱処理を行い、前記第1の高融点金属をその酸化物に変換することによって、前記ゲート絶縁膜中の欠陥を修復する工程。(c)前記(b)工程の前または後に、前記ゲート絶縁膜上にゲート電極を形成する工程。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法において、前記(a)工程における前記ゲート絶縁膜は、前記シリコン表面上に酸化シリコン膜を介して形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項18記載の半導体集積回路装置の製造方法において、前記第1の高融点金属は、チタン、ジルコニウム、またはハフニウムであることを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項19記載の半導体集積回路装置の製造方法において、前記(b)工程における前記水分と水素とを含むガス雰囲気は、触媒を用いて水分を合成することによって形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項21】 以下の工程からなる半導体集積回路装置の製造方法；

(a)水分と水素とを含むガス雰囲気中における酸化還元平衡曲線がシリコンのそれよりも高水分側にある第1の高融点金属を主要な成分とするメタル膜をパターニングすることによって、ウエハの第1の主面上のシリコン表面にゲート電極を形成する工程、(b)前記ゲート電極が形成された状態で前記第1の主面に対して熱処理を

行なうことによって、前記ゲート電極直下の前記シリコン表面に、二酸化シリコン換算膜厚が5nm未満の膜厚を有し、酸化シリコンを主要な成分とするゲート絶縁膜を形成する工程。

【請求項22】 請求項21記載の半導体集積回路装置の製造方法において、前記第1の高融点金属は、モリブデンまたはタングステンであることを特徴とする半導体集積回路装置の製造方法。

【請求項23】 以下の工程からなる半導体集積回路装置の製造方法；

(a)水分および水素を含む雰囲気中における酸化還元平衡曲線がシリコンのそれよりも低水分側にある第1の高融点金属を主要な成分とするゲート絶縁膜となるべき第1の膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b)前記第1の膜が形成された状態で、前記酸化還元平衡曲線がシリコンのそれよりも高水分側にある第2の高融点金属を主要な成分とするゲート電極となるべき第2の膜を、前記第1の主面上に形成する工程、(c)前記第1の膜および前記第2の膜をパターニングすることによって、前記ゲート電極を形成する工程、(d)前記ゲート電極が形成された状態で前記第1の主面に対して熱処理を行い、前記ゲート電極直下の前記第1の膜を酸化処理することによって、ゲート絶縁膜に変換する工程。

【請求項24】 請求項23記載の半導体集積回路装置の製造方法において、前記第2の高融点金属は、モリブデンまたはタングステンであることを特徴とする半導体集積回路装置の製造方法。

【請求項25】 請求項24記載の半導体集積回路装置の製造方法において、前記第1の高融点金属は、チタン、ジルコニウムまたはハフニウムであることを特徴とする半導体集積回路装置の製造方法。

【請求項26】 以下の構成からなる半導体集積回路装置；

(a)第1の主面にシリコン表面を有する半導体集積回路基板、(b)前記シリコン表面に設けられた酸化ジルコニウム、酸化ハフニウムまたはこれらと酸化チタンのうちの2種以上の酸化物を含む二元または多元酸化物を主要な成分とするゲート絶縁膜、(c)前記ゲート絶縁膜上に設けられたゲート電極。

【請求項27】 以下の工程からなる半導体集積回路装置の製造方法；

(a)二酸化シリコン換算膜厚が5nm未満の膜厚を有し、酸化シリコンを主要な成分とする単一絶縁膜またはそれと他の絶縁膜とを含む複合絶縁膜からなるゲート絶縁膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b)前記ゲート絶縁膜上に導電性バリア膜を形成する工程、(c)前記導電性バリア膜上に、多結晶シリコンを主要な構成要素とする中間層を介することなく、第1の高融点金属を主要な成分とするメタル膜を形

(4) 000-349285 (P2000-85)

成する工程、(d)前記導電性バリア膜および前記メタル膜をパターニングすることによって、ゲート電極を形成する工程、(e)水分/水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記ゲート電極が形成された前記第1の主面に対して熱処理を行なうことによって、前記ゲート電極直下の前記ゲート絶縁膜中の欠陥を修復する工程。

【請求項28】 請求項27記載の半導体集積回路装置の製造方法において、前記第1の高融点金属は、タングステンであることを特徴とする半導体集積回路装置の製造方法。

【請求項29】 請求項28記載の半導体集積回路装置の製造方法において、前記導電性バリア膜は、窒化チタンを主要な成分として含むことを特徴とする半導体集積回路装置の製造方法。

【請求項30】 請求項29記載の半導体集積回路装置の製造方法において、前記水分と水素とを含むガスは、さらに窒素またはアンモニアガスを含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、メタルゲート電極を備えたMISFET(Metal Insulator Semiconductor Field Effect Transistor)を有する半導体集積回路装置の製造に適用して有効な技術に関する。

【0002】

【従来の技術】特開昭59-132136号公報(小林等)は、Si(シリコン)基板上にW膜(またはMo膜)からなるメタル構造のゲート電極を形成した後、水分と水素の混合雰囲気中で酸化を行うことにより、W(Mo)膜を酸化することなしにSiのみを選択的に酸化する技術を開示している。これは、酸化還元反応が平衡となる水分/水素分圧比がW(Mo)とSiとで異なる性質を利用したもので、この分圧比を、W(Mo)は還元されるがSiは酸化されるような範囲内に設定することによって、Siの選択的酸化を実現している。

【0003】特開平7-94716号公報(村岡等)

は、Si基板上にゲート酸化膜を介してTiNなどの窒化金属層とWなどの金属層とを含むポリメタル構造のゲート電極を形成した後、還元性気体(水素)と酸化性気体(水分)とを窒素で希釈した雰囲気中で酸化を行う技術を開示している。この公報によれば、金属層を酸化することなしにSiのみを選択的に酸化できると共に、水分+水素混合ガスを窒素で希釈することによって、窒化金属層からの脱窒素反応が阻止されるので、窒化金属層の酸化も同時に防止できるとされている。

【0004】特開昭60-160667号公報(吾妻)は、シリコン基板上にWやMoなどの高融点金属からな

る薄膜を形成した後、非酸化性雰囲気中で熱処理を行い、上記薄膜中に吸蔵されている酸素を基板表面に拡散させることによって、両者の界面に極めて薄い膜厚の酸化シリコン膜を形成する技術を開示している。

【0005】

【発明が解決しようとする課題】(1)ゲート長が0.18 $\mu$ m以下の微細なMISFETで回路を構成するCMOS-LSIは、低電圧動作時においてもゲート遅延を低減して高速動作を確保するために、金属を含む低抵抗導電材料を使ってゲート電極を形成することが要求される。

【0006】この種の低抵抗ゲート電極材料として有力視されているのは、多結晶シリコン膜の上部に高融点金属膜を積層した複合導電膜(以下、ポリメタルという)である。ポリメタルは、そのシート抵抗が2 $\Omega$ /□程度と低いことから、ゲート電極材料としてのみならず配線材料として利用することもできる。高融点金属としては、800℃以下の低温プロセスでも良好な低抵抗性を示し、かつエレクトロマイグレーション耐性の高いW(タングステン)、Mo(モリブデン)、Ti(チタン)などが使用される。なお、多結晶シリコン膜の上に直接これらの高融点金属膜を積層すると両者の接着力が低下したり、高温熱処理プロセスで両者の界面に高抵抗のシリサイド層が形成されたりする。そこで、実際のポリメタルゲートは多結晶シリコン膜と高融点金属膜との間にTiN(チタンナイトライド)やWN(タングステンナイトライド)などの金属窒化膜からなる導電性バリア膜を介在させた3層構造で構成される。

【0007】(2)ゲート長が0.18 $\mu$ m以下の微細なMISFETで回路を構成するCMOS-LSIは、低電圧動作化に伴ってしきい値電圧( $V_{th}$ )を低く設定するために、ポリメタルゲートの一部を構成する多結晶シリコン膜の導電性をnチャネル型MISFETはn型、pチャネル型MISFETはp型とする、いわゆるデュアルゲート(Dual Gate)構造の採用が進められている。この場合、nチャネル型MISFETのゲート電極は、P(リン)などのn型不純物がドーパされたn型多結晶シリコン膜の上に高融点金属膜が積層された構造となり、pチャネル型MISFETのゲート電極は、p型不純物であるB(ホウ素)がドーパされたp型多結晶シリコン膜の上に高融点金属膜が積層された構造となる。

【0008】しかし、上記(1)の問題点として、MISFETのゲート長が0.18 $\mu$ m以下になった場合、多結晶シリコン膜の上部に高融点金属膜を積層した2層構造、さらにはそれらの間に導電性バリア膜を介在させた3層構造のゲート電極は、そのアスペクト比が極めて大きくなるために、ゲート電極の加工が困難となる点が挙げられる。

【0009】また、上記(2)の問題点として、pチャネル型MISFETのゲート電極の一部を構成するp型

(5) 000-349285 (P2000-SF僑率)

多結晶シリコン膜中のB（ホウ素）がゲート酸化膜を通じて基板側に拡散し、pチャネル型MISFETのフラットバンド電圧（ $V_{fb}$ ）を変化させることによって、しきい値電圧（ $V_{th}$ ）を変動させてしまう点が挙げられる。

【0010】そこで、これらの問題を回避するために、ゲート酸化膜の上部に多結晶シリコン膜などの中間層を介することなく、WやMoなどの高融点金属膜を直接形成する、いわゆるメタルゲート電極の開発が進められている。

【0011】一方、MISFETの高速化、高性能化を実現するためには、MISFETの微細化に比例してゲート酸化膜を薄膜化する必要があり、例えばゲート長が $0.25\mu\text{m}$ ～ $0.2\mu\text{m}$ 程度のMISFETの場合には、 $5\text{nm}$ よりも薄い膜厚のゲート酸化膜が要求される。

【0012】しかし、ゲート酸化膜の膜厚を $5\text{nm}$ よりも薄くすると、直接トンネル電流の発生やストレス起因のホットキャリアなどによる絶縁耐圧の低下が顕在化する。また、このような薄いゲート酸化膜上にWやMoなどの高融点金属膜を直接形成すると、両者の界面近傍のゲート酸化膜にも欠陥が生じて絶縁耐圧が低下する。

【0013】ゲート酸化膜の欠陥は、主としてSi-O結合の酸素欠損に起因する。従って、この欠陥は、酸化性雰囲気中で基板を熱処理し、酸素欠損箇所に酸素を供給することによって修復させることが可能である。ところが、酸化性雰囲気中で基板の熱処理を行うと、ゲート酸化膜上に堆積されたゲート電極材料である高融点金属膜も同時に酸化されてしまうために、ゲート絶縁膜の抵抗が大きくなってしまう。

【0014】ゲート酸化膜の薄膜化による絶縁耐圧の低下を回避する対策としては、酸化シリコンよりも誘電率が大きい酸化タンタルなどの絶縁性金属酸化物をゲート絶縁膜材料に使用することで、その実効膜厚を大きくする選択膜も考えられる。

【0015】これらの絶縁性金属酸化物は結晶性材料であるため、本来の絶縁特性を得るためには、成膜後に酸素雰囲気中で熱処理を行い、膜中に酸素を供給するプロセスが不可欠である。しかし、酸化性雰囲気中で基板を熱処理すると、ゲート絶縁膜上に堆積されたゲート電極材料である高融点金属膜も酸化されてしまうために、ゲート絶縁膜の抵抗が大きくなってしまう。

【0016】本発明の目的は、極薄ゲート絶縁膜上にメタルゲート電極を形成したMISFETの信頼性および製造歩留まりを向上させる技術を提供することにある。

【0017】本発明の他の目的は、酸化シリコンよりも誘電率が高い金属酸化物を含むゲート絶縁膜上にメタルゲート電極を形成したMISFETの信頼性および製造歩留まりを向上させる技術を提供することにある。

【0018】本発明の他の目的は、二酸化シリコン換算膜厚が $5\text{nm}$ 未満の膜厚を有するゲート絶縁膜の形成方法

を提供することにある。

【0019】本発明の他の目的は、二酸化シリコン換算膜厚が $5\text{nm}$ 未満の膜厚を有するゲート絶縁膜の欠陥修復方法を提供することにある。

【0020】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0022】本発明の半導体集積回路装置の製造方法は、シリコン基板の主面上に形成した二酸化シリコン換算膜厚が $5\text{nm}$ 未満のゲート酸化膜上にゲート電極となるべき高融点金属膜を形成した後、水分／水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分＋水素混合ガス雰囲気中において前記シリコン基板を熱処理することにより、前記高融点金属膜の直下の前記ゲート絶縁膜の欠陥を修復するものである。

【0023】上記した発明以外の本願発明の概要を簡単に項分けして記載すれば、以下の通りである。すなわち、

1. 以下の工程からなる半導体集積回路装置の製造方法；

（a）二酸化シリコン換算膜厚が $5\text{nm}$ 未満の膜厚を有し、酸化シリコンを主要な成分とする単一絶縁膜またはそれと他の絶縁膜とを含む複合絶縁膜からなるゲート絶縁膜を、ウエハの第1の主面上のシリコン表面に形成する工程、（b）前記ゲート絶縁膜上に、多結晶シリコンを主要な構成要素とする中間層を介することなく、高融点金属を主要な成分とするメタル膜を形成した後、前記メタル膜をパターニングしてメタルゲート電極を形成する工程、（c）水分／水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記メタルゲート電極が形成された前記第1の主面に対して熱処理を行なうことによって、前記メタルゲート電極直下の前記ゲート絶縁膜中の欠陥を修復する工程。

【0024】2. 本発明の半導体集積回路装置の製造方法は、前記請求項1において、前記高融点金属は、モリブデンまたはタングステンである。

【0025】3. 本発明の半導体集積回路装置の製造方法は、前記請求項1または2において、前記ゲート絶縁膜の二酸化シリコン換算膜厚は、 $4\text{nm}$ 未満である。

【0026】4. 本発明の半導体集積回路装置の製造方法は、前記請求項1または2において、前記ゲート絶縁膜の二酸化シリコン換算膜厚は、 $3\text{nm}$ 未満である。

【0027】5. 以下の工程からなる半導体集積回路装置の製造方法；

(6) 000-349285 (P2000- 牽

(a) 二酸化シリコン換算膜厚が5nm未満の膜厚を有し、窒化シリコンを主要な成分とする単一絶縁膜またはそれと他の絶縁膜とを含む複合絶縁膜からなるゲート絶縁膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b) 前記ゲート絶縁膜上に、多結晶シリコンを主要な構成要素とする中間層を介することなく、高融点金属を主要な成分とするメタル膜を形成した後、前記メタル膜をパターニングしてメタルゲート電極を形成する工程、(c) 水分/水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記メタルゲート電極が形成された前記第1の主面に対して熱処理を行なうことによって、前記メタルゲート電極直下の前記ゲート絶縁膜中の欠陥を修復する工程。

【0028】6. 本発明の半導体集積回路装置の製造方法は、前記請求項5において、前記高融点金属は、モリブデンまたはタングステンである。

【0029】7. 本発明の半導体集積回路装置の製造方法は、前記請求項5または6において、前記水分と水素とを含むガスは、さらに窒素またはアンモニアガスを含む。

【0030】8. 以下の工程からなる半導体集積回路装置の製造方法；

(a) 二酸化シリコン換算膜厚が5nm未満の膜厚を有し、二酸化シリコンよりも誘電率が大きい金属酸化物を主要な成分とする単一絶縁膜またはそれと他の絶縁膜とを含む複合絶縁膜からなるゲート絶縁膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b) 前記ゲート絶縁膜上に、多結晶シリコンを主要な構成要素とする中間層を介することなく、高融点金属を主要な成分とするメタル膜を形成した後、前記メタル膜をパターニングしてメタルゲート電極を形成する工程、(c) 水分/水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記メタルゲート電極が形成された前記第1の主面に対して熱処理を行なうことによって、前記メタルゲート電極直下の前記ゲート絶縁膜中の欠陥を修復する工程。

【0031】9. 本発明の半導体集積回路装置の製造方法は、前記請求項8において、前記金属酸化物膜を構成する金属は、チタン、ジルコニウム、またはハフニウムである。

【0032】10. 本発明の半導体集積回路装置の製造方法は、前記請求項8において、前記金属酸化物膜を構成する金属は、タンタルである。

【0033】11. 本発明の半導体集積回路装置の製造方法は、前記請求項8において、前記金属酸化物膜を構成する金属は、アルミニウムである。

【0034】12. 本発明の半導体集積回路装置の製造方法は、前記請求項8において、前記金属酸化物膜は、A

BO<sub>3</sub>型の広義のペロブスカイト型構造を含む高誘電体であって、動作温度において常誘電相にあるものである。

【0035】13. 本発明の半導体集積回路装置の製造方法は、前記請求項12において、前記高誘電体は、BSTである。

【0036】14. 以下の工程からなる半導体集積回路装置の製造方法；

(a) 水分と水素とを含むガス雰囲気中における酸化還元平衡曲線がシリコンのそれよりも低水分側にある第1の高融点金属を主要な成分とする第1の膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b) 水分/水素分圧比が前記シリコン表面を実質的に酸化せず、前記第1の高融点金属を酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記第1の膜が形成された前記第1の主面に対して熱処理を行ない、前記第1の高融点金属をその酸化物に変換することによって、前記シリコン表面にゲート絶縁膜を形成する工程、(c) 前記(b)工程の前または後に、ゲート電極を形成する工程。

【0037】15. 本発明の半導体集積回路装置の製造方法は、前記請求項14において、前記第1の高融点金属は、チタン、ジルコニウム、またはハフニウムである。

【0038】16. 本発明の半導体集積回路装置の製造方法は、前記請求項14または15において、前記

(b)工程における前記水分と水素とを含むガス雰囲気は、触媒を用いて水分を合成することによって形成される。

【0039】17. 以下の工程からなる半導体集積回路装置の製造方法；

(a) 水分と水素とを含むガス雰囲気中における酸化還元平衡曲線がシリコンのそれよりも低水分側にある第1の高融点金属の酸化物を主要な成分とするゲート絶縁膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b) 水分/水素分圧比が前記シリコン表面を実質的に酸化せず、前記第1の高融点金属の酸化物を生成するような割合に設定された水分と水素とを含むガス雰囲気中において、前記第1の膜が形成された前記第1の主面に対して熱処理を行ない、前記第1の高融点金属をその酸化物に変換することによって、前記ゲート絶縁膜中の欠陥を修復する工程、(c) 前記(b)工程の前または後に、前記ゲート絶縁膜上にゲート電極を形成する工程。

【0040】18. 本発明の半導体集積回路装置の製造方法は、前記請求項17において、前記(a)工程における前記ゲート絶縁膜は、前記シリコン表面上に酸化シリコン膜を介して形成される。

【0041】19. 本発明の半導体集積回路装置の製造方法は、前記請求項17または18において、前記第1



(7) 000-349285 (P2000-H牽

の高融点金属は、チタン、ジルコニウム、またはハフニウムである。

【0042】20. 本発明の半導体集積回路装置の製造方法は、前記請求項17、18または19において、前記(b)工程における前記水分と水素とを含むガス雰囲気は、触媒を用いて水分を合成することによって形成される。

【0043】21. 以下の工程からなる半導体集積回路装置の製造方法；

(a) 水分と水素とを含むガス雰囲気中における酸化還元平衡曲線がシリコンのそれよりも高水分側にある第1の高融点金属を主要な成分とするメタル膜をパターニングすることによって、ウエハの第1の主面上のシリコン表面にゲート電極を形成する工程、(b) 前記ゲート電極が形成された状態で前記第1の主面に対して熱処理を行なうことによって、前記ゲート電極直下の前記シリコン表面に、二酸化シリコン換算膜厚が5nm未満の膜厚を有し、酸化シリコンを主要な成分とするゲート絶縁膜を形成する工程。

【0044】22. 本発明の半導体集積回路装置の製造方法は、前記請求項21において、前記第1の高融点金属は、モリブデンまたはタングステンである。

【0045】23. 以下の工程からなる半導体集積回路装置の製造方法；

(a) 水分および水素を含む雰囲気中における酸化還元平衡曲線がシリコンのそれよりも低水分側にある第1の高融点金属を主要な成分とするゲート絶縁膜となるべき第1の膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b) 前記第1の膜が形成された状態で、前記酸化還元平衡曲線がシリコンのそれよりも高水分側にある第2の高融点金属を主要な成分とするゲート電極となるべき第2の膜を、前記第1の主面上に形成する工程、(c) 前記第1の膜および前記第2の膜をパターニングすることによって、前記ゲート電極を形成する工程、(d) 前記ゲート電極が形成された状態で前記第1の主面に対して熱処理を行い、前記ゲート電極直下の前記第1の膜を酸化処理することによって、ゲート絶縁膜に変換する工程。

【0046】24. 本発明の半導体集積回路装置の製造方法は、前記請求項23において、前記第2の高融点金属は、モリブデンまたはタングステンである。

【0047】25. 本発明の半導体集積回路装置の製造方法は、前記請求項23において、前記第1の高融点金属は、チタン、ジルコニウムまたはハフニウムである。

【0048】26. 以下の構成からなる半導体集積回路装置；

(a) 第1の主面にシリコン表面を有する半導体集積回路基板、(b) 前記シリコン表面に設けられた酸化ジルコニウム、酸化ハフニウムまたはこれらと酸化チタンのうちの2種以上の酸化物を含む二元または多元酸化物を

主要な成分とするゲート絶縁膜、(c) 前記ゲート絶縁膜上に設けられたゲート電極。

【0049】27. 以下の工程からなる半導体集積回路装置の製造方法；

(a) 二酸化シリコン換算膜厚が5nm未満の膜厚を有し、酸化シリコンを主要な成分とする単一絶縁膜またはそれと他の絶縁膜とを含む複合絶縁膜からなるゲート絶縁膜を、ウエハの第1の主面上のシリコン表面に形成する工程、(b) 前記ゲート絶縁膜上に導電性バリア膜を形成する工程、(c) 前記バリア膜上に、多結晶シリコンを主要な構成要素とする中間層を介することなく、第1の高融点金属を主要な成分とするメタル膜を形成する工程、(d) 前記バリア膜および前記メタル膜をパターニングすることによって、ゲート電極を形成する工程、(e) 水分/水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記ゲート電極が形成された前記第1の主面に対して熱処理を行なうことによって、前記ゲート電極直下の前記ゲート絶縁膜中の欠陥を修復する工程。

【0050】28. 本発明の半導体集積回路装置の製造方法は、前記請求項27において、前記第1の高融点金属は、タングステンである。

【0051】29. 本発明の半導体集積回路装置の製造方法は、前記請求項27または28において、前記導電性バリア膜は、窒化チタンを主要な成分として含む。

【0052】30. 本発明の半導体集積回路装置の製造方法は、前記請求項27、28または29において、前記水分と水素とを含むガスは、さらに窒素またはアンモニアガスを含む。

【0053】31. 以下の工程からなる半導体集積回路装置の製造方法；

(a) シリコン基板の主面上に二酸化シリコン換算膜厚が5nm未満の膜厚を有するゲート絶縁膜を形成する工程、(b) 前記ゲート絶縁膜上に高融点金属を主要な成分とするメタル膜を形成した後、水分/水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記メタル膜が形成された前記シリコン基板の主面を熱処理することによって、前記メタル膜直下の前記ゲート絶縁膜中の欠陥を修復する工程、(c) 前記メタル膜をパターニングしてメタルゲート電極を形成する工程。

【0054】32. 本発明の半導体集積回路装置の製造方法は、前記31項において、前記ゲート絶縁膜は、酸化シリコンを主要な成分とする。

【0055】33. 本発明の半導体集積回路装置の製造方法は、前記32項において、前記ゲート絶縁膜は、触媒を用いて合成された水分と酸素とを含むガス雰囲気中で前記シリコン基板の主面を熱酸化することによって形

(8) 000-349285 (P2000-E勁牽)

成する。

【0056】34. 本発明の半導体集積回路装置の製造方法は、前記31項において、前記ゲート絶縁膜は、酸化シリコンを主要な成分とする。

【0057】35. 本発明の半導体集積回路装置の製造方法は、前記34項において、前記ゲート絶縁膜は、前記基板の表面に酸化シリコン膜を形成した後、前記基板を含窒素ガス雰囲気中で熱処理することによって形成する。

【0058】36. 本発明の半導体集積回路装置の製造方法は、前記31項において、前記ゲート絶縁膜は、窒化シリコンを主要な成分とする。

【0059】37. 本発明の半導体集積回路装置の製造方法は、前記36項において、前記ゲート絶縁膜は、前記基板上にCVD法で窒化シリコン膜を堆積することによって形成する。

【0060】38. 本発明の半導体集積回路装置の製造方法は、前記31～37項のいずれか一項において、前記高融点金属は、モリブデンまたはタングステンである。

【0061】39. 以下の工程からなる半導体集積回路装置の製造方法；

(a) シリコン基板の主面上に二酸化シリコン換算膜厚が5nm未満の膜厚を有するゲート絶縁膜を形成する工程、(b) 前記ゲート絶縁膜上に高融点金属の窒化物からなる導電性バリア膜を介して高融点金属を主要な成分とするメタル膜を形成した後、水分／水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記メタル膜および前記導電性バリア膜が形成された前記シリコン基板の主面を熱処理することによって、前記導電性バリア膜直下の前記ゲート絶縁膜中の欠陥を修復する工程、(c) 前記メタル膜および前記導電性バリア膜をパターンニングしてメタルゲート電極を形成する工程。

【0062】40. 本発明の半導体集積回路装置の製造方法は、前記39項において、前記導電性バリア膜を構成する前記高融点金属は、モリブデンまたはタングステンである。

【0063】41. 本発明の半導体集積回路装置の製造方法は、前記39項において、前記導電性バリア膜を構成する前記高融点金属は、チタンである。

【0064】42. 本発明の半導体集積回路装置の製造方法は、前記41項において、前記水分と水素とを含むガス雰囲気中の水分濃度は、1%以下である。

【0065】43. 本発明の半導体集積回路装置の製造方法は、前記41項において、前記水分と水素とを含むガス雰囲気中、さらに窒素またはアンモニアを添加する。

【0066】44. 以下の工程からなる半導体集積回路

装置の製造方法；

(a) シリコン基板の主面上に二酸化シリコン換算膜厚が5nm未満の膜厚を有し、かつ二酸化シリコンよりも誘電率が大きい金属酸化物からなるゲート絶縁膜を形成する工程、(b) 前記ゲート絶縁膜上に高融点金属を主要な成分とするメタル膜を形成した後、水分／水素分圧比が前記高融点金属を実質的に酸化せず、シリコンを酸化するような割合に設定された水分と水素とを含むガス雰囲気中において、前記金属酸化物が形成された前記シリコン基板の主面を熱処理することによって、前記メタル膜直下の前記ゲート絶縁膜中の欠陥を修復する工程、

(c) 前記ゲート絶縁膜中の欠陥を修復する工程の前または後に、前記メタル膜をパターンニングしてメタルゲート電極を形成する工程。

【0067】45. 本発明の半導体集積回路装置の製造方法は、前記44項において、前記高融点金属は、モリブデンまたはタングステンである。

【0068】46. 本発明の半導体集積回路装置の製造方法は、前記44または45項において、前記金属酸化物は、酸化チタン、酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化アルミニウムまたはBSTである。

【0069】47. 以下の工程からなる半導体集積回路装置の製造方法；

(a) シリコン基板の主面上に第1高融点金属膜を形成する工程、(b) 前記第1高融点金属膜上に第2高融点金属を主要な成分とするメタル膜を形成した後、水分／水素分圧比が前記第2高融点金属を実質的に酸化せず、前記第1高融点金属を酸化するような割合に設定された水分と水素とを含むガス雰囲気中において熱処理を行ない、前記第1高融点金属をその酸化物に変換することによって、前記シリコン基板の表面に二酸化シリコン換算膜厚が5nm未満の膜厚を有するゲート絶縁膜を形成する工程、(c) 前記熱処理工程の前または後に、前記メタル膜をパターンニングしてメタルゲート電極を形成する工程。

【0070】48. 本発明の半導体集積回路装置の製造方法は、前記47項において、前記高融点金属は、モリブデンまたはタングステンである。

【0071】49. 本発明の半導体集積回路装置の製造方法は、前記47または48項において、前記第1高融点金属は、チタン、ジルコニウム、ハフニウムまたはタンタルである。

【0072】50. 以下の工程からなる半導体集積回路装置の製造方法；

(a) シリコン基板の主面上に高融点金属膜を形成した後、水分／水素分圧比が前記高融点金属膜を実質的に酸化しないような割合に設定された水分と水素とを含むガス雰囲気中において熱処理を行ない、前記基板と前記高融点金属膜との界面に二酸化シリコン換算膜厚が5nm未

(9) 000-349285 (P2000-085)

溝の膜厚を有する酸化シリコンからなるゲート絶縁膜を形成する工程、(b)前記熱処理工程の前または後に、前記高融点金属膜をパターニングしてメタルゲート電極を形成する工程。

【0073】51. 本発明の半導体集積回路装置の製造方法は、前記50項において、前記高融点金属は、モリブデンまたはタングステンである。

【0074】52. 本発明の半導体集積回路装置の製造方法は、前記31～51項のいずれか一項において、前記ゲート絶縁膜の酸化シリコン換算膜厚は、4nm未満である。

【0075】53. 本発明の半導体集積回路装置の製造方法は、前記31～52項のいずれか一項において、前記ゲート絶縁膜の酸化シリコン換算膜厚は、3nm未満である。

【0076】54. 本発明の半導体集積回路装置の製造方法は、前記31～53項のいずれか一項において、前記ゲート絶縁膜の酸化シリコン換算膜厚は、1.5nm～2nmである。

【0077】55. 本発明の半導体集積回路装置の製造方法は、前記31～54項のいずれか一項において、前記メタルゲート電極のゲート長は、0.25μm以下である。

【0078】56. 本発明の半導体集積回路装置の製造方法は、前記31～55項のいずれか一項において、前記メタルゲート電極のゲート長は、0.18μm以下である。

【0079】57. 本発明の半導体集積回路装置の製造方法は、前記31～56項のいずれか一項において、前記メタルゲート電極のゲート長は、0.1μm以下である。

#### 【0080】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0081】さらに、以下の実施の形態では、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。また、以下の実施の形態において、要素の数等(個数、数値、量、範囲などを含む)に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素(要素ステップ等を含む)は、特に明示した場合および原理的に明らかに必須

であると考えられる場合を除き、必ずしも必須のものではないことは言うまでもない。

【0082】同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

【0083】また、本願で半導体集積回路装置(あるいは電子装置、電子回路装置など)というときは、シリコンウエハ上に作られるものだけでなく、特にそうでない旨明示された場合を除き、SOI(Silicon On Insulator)基板、TFT液晶などの他の基板上に作られるものも含むものとする。

【0084】(実施の形態1)本実施形態は、nチャネル型MISFETとpチャネル型MISFETとで集積回路を構成するCMOS-ロジックLSIの製造に適用したものである。

【0085】まず、図1に示すように、比抵抗が10Ωcm程度の単結晶シリコン基板(以下、基板あるいはウエハという)1を850℃程度で熱処理してその主面に膜厚10nm程度の薄い酸化シリコン膜2を形成し、続いて酸化シリコン膜2の上部にCVD(Chemical Vapor Deposition)法で膜厚120nm程度の窒化シリコン膜3を堆積した後、フォトリソグラフ膜(図示しない)をマスクにしたドライエッチングで素子分離領域の窒化シリコン膜3を除去する。

【0086】上記酸化シリコン膜2は、後の工程で素子分離溝の内部に埋め込まれる酸化シリコン膜を熱処理するときに基板1に加わるストレスを緩和したり、イオン注入による基板1表面のダメージを緩和したりする目的で形成する。また、窒化シリコン膜3は、その下部(活性領域)の基板1表面の酸化を防止する保護膜および素子分離溝内に埋め込まれる酸化シリコン膜の表面を研磨する際のストッパとして使用する。

【0087】次に、図2に示すように、窒化シリコン膜3をマスクにしたドライエッチングで素子分離領域の基板1に深さ350nm程度の素子分離溝4を形成した後、上記のエッチングで素子分離溝4の内壁に生じたダメージ層を除去するために基板1を約1000℃で熱処理し、素子分離溝4の内壁に膜厚10nm程度の薄い酸化シリコン膜5を形成する。

【0088】次に、図3に示すように、上記素子分離溝4の内部に酸化シリコン膜6を埋め込んだ後、その表面を平坦化する。酸化シリコン膜6の埋め込みおよび平坦化を行うには、まず基板1上にCVD法で膜厚600nm程度の酸化シリコン膜6を堆積した後、酸化シリコン膜6の膜質を改善するために基板1を約1000℃で熱処理する。次に、窒化シリコン膜3をストッパに用いた化学機械研磨(Chemical Mechanical Polishing; CMP)

(10) 100-349285 (P2000-085)

法で酸化シリコン膜6を研磨し、素子分離溝4の内部のみに酸化シリコン膜6を残す。

【0089】次に、基板1の活性領域上に残った窒化シリコン膜3を熱リン酸を用いたウェットエッチングで除去した後、図4に示すように、基板1の一部にB（ホウ素）をイオン注入してp型ウエル7を形成し、他の一部にP（リン）をイオン注入してn型ウエル8を形成する。

【0090】次に、p型ウエル7およびn型ウエル8のそれぞれの表面近傍にMISFETのしきい値電圧（V<sub>th</sub>）を調整するための不純物（BまたはP）をイオン注入した後、図5に示すように、p型ウエル7およびn型ウエル8のそれぞれの表面の酸化シリコン膜2をHF（フッ酸）系の洗浄液で除去することによって、活性領域の基板1（p型ウエル7およびn型ウエル8）の表面を露出させる。

【0091】次に、上記p型ウエル7およびn型ウエル8のそれぞれの表面に、以下のような方法でゲート絶縁膜を形成する。

【0092】一般に、MISデバイスの高速化、高性能化を実現するためには、MISFETを微細化することによってゲート絶縁膜を薄膜化する必要がある、例えばゲート長が0.25μm～0.2μm程度のロジックデバイス用MISFETの場合は、膜厚5nm未満のゲート絶縁膜が要求される。また、MISデバイスの種類にもよるが、ゲート長が0.18μm～0.14μm程度の場合は4nm未満、さらにゲート長が0.13μm～0.1μm程度の場合は3nm未満のゲート絶縁膜が要求される。

【0093】周知のように、単結晶シリコン基板の表面を高温で酸化してゲート絶縁膜（ゲート酸化膜）を形成する方法として、酸素雰囲気中で水素を燃焼させて水分を生成し、この水分を酸素と共に基板表面に供給して酸化膜を形成するウェット酸化（パイロジェニック酸化）法がある。しかし、この燃焼方式を利用した酸化膜形成方法では、膜厚が5nm未満で、かつ高品質の極薄ゲート絶縁膜を再現性よく形成することが難しい。

【0094】すなわち、燃焼方式を利用した上記の酸化膜形成方法は、酸化種である水+酸素混合ガスの水分濃度が18～40%程度の高濃度範囲内でしか制御できない。そのため、このような水分濃度の水+酸素混合ガス雰囲気中で熱処理を行うと、水分に起因するOH基や水素が酸化膜中に多量に取り込まれ、シリコン基板との界面にSi-H結合やSi-OH結合などの構造欠陥が生じ易い。そして、この構造欠陥はホットキャリア注入などの電圧ストレスの印加により切断されて電荷トラップを形成し、しきい値電圧の変動や絶縁耐圧の低下といった電気特性の劣化を引き起こす。

【0095】また、薄い熱酸化膜を均一な膜厚で再現性よく形成するためには、比較的厚い酸化膜を形成するときと比べて膜の成長速度を下げ、より安定な酸化条件で

成膜を行う必要がある。ところが、上記の燃焼方式の場合は水分濃度が高いために膜の成長速度が速く、極めて短時間に膜が形成されてしまうので、膜厚が5nm未満の極薄酸化膜を安定に形成することができない。

【0096】さらに、清浄なゲート絶縁膜を形成するためには、シリコン基板の表面に形成される低品質の酸化膜をあらかじめウェット洗浄で除去する必要があるが、このウェット洗浄を行ってから基板（ウエハ）を酸化するまでの間には、その表面に薄い自然酸化膜（native oxide）が不可避免的に形成される。さらに酸化工程では、本来の酸化が行われる前に酸化種中の酸素との接触によって基板の表面に不所望な初期酸化膜が形成される。特に、前記の燃焼方式の場合は、水素が爆発する危険を回避するためにあらかじめ酸素を十分に流してから水素を燃焼させるので、基板の表面が酸素に曝される時間が長くなり、初期酸化膜が厚く形成されてしまう。

【0097】このように、実際のゲート酸化膜は、本来の熱酸化によって形成される酸化膜の他に自然酸化膜と初期酸化膜とを含んだ構成になっているが、これらの自然酸化膜や初期酸化膜は、目的とする本来の酸化膜に比べて低品質である。従って、高品質のゲート絶縁膜を得るためには、酸化膜中に占めるこれら低品質の酸化膜の割合をできるだけ低くしなければならぬが、燃焼方式によって薄い酸化膜を形成した場合には、これら低品質の絶縁膜の割合がむしろ増加してしまう。

【0098】例えば燃焼方式によって膜厚が9nmの酸化膜を形成したときに、この酸化膜中の自然酸化膜と初期酸化膜の膜厚がそれぞれ0.7nm、0.8nmであったとすると、本来の酸化膜の膜厚は、 $9 - (0.7 + 0.8) = 7.5$ nmとなるので、この酸化膜中に占める本来の酸化膜の割合は約83.3%になる。ところが、この燃焼方式を用いて膜厚が4nmの酸化膜を形成した場合、自然酸化膜と初期酸化膜の膜厚はそれぞれ0.7nm、0.8nmと変わらないので、本来の酸化膜の膜厚は、 $4 - (0.7 + 0.8) = 2.5$ nmとなり、その割合は62.5%に低下してしまう。すなわち、従来の燃焼方式（パイロジェニック酸化方式）によって極薄酸化シリコン膜を形成しようとする、膜厚の均一性や再現性が確保できなくなるのみならず、膜の品質も低下する。

【0099】そこで本実施形態では、以下に説明する方法によって高品質な極薄ゲート絶縁膜を形成する。ただし、ゲート絶縁膜の形成は、この方法に限定されるものではなく、後述する水分+水素混合ガスを使って形成することもできる。

【0100】図6は、ゲート絶縁膜の形成に使用する枚葉式の成膜装置100を示す概略図である。図示のように、この成膜装置100は、ゲート絶縁膜の形成に先だって基板（ウエハ）1の表面の酸化膜をウェット洗浄方式で除去する洗浄装置101を備えている。このような洗浄-酸化一貫処理システムを採用することにより、洗

(註1) 100-349285 (P2000-譯英)

浄装置101内で洗浄処理に付されたウエハ1を大気に接触させることなく、かつ短時間で成膜装置100へ搬送できるので、不要な酸化シリコン膜2を除去してからゲート絶縁膜を形成するまでの間にウエハ1の表面に不所望な自然酸化膜が形成されるのを極力抑制することができる。

【0101】洗浄装置101のローダ102にロードされたウエハ1は、まず洗浄室103に搬送され、例えば $\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ などの洗浄液による洗浄処理に付された後、フッ酸洗浄室104に搬送され、希フッ酸( $\text{HF} + \text{H}_2\text{O}$ )による洗浄処理に付されて表面の酸化シリコン膜2が除去される。その後、ウエハ1は乾燥室105に搬送されて乾燥処理に付され、表面の水分が除去される。ウエハ1の表面に残留した水分は、ゲート絶縁膜中やゲート絶縁膜/シリコン基板界面に $\text{Si-H}$ 、 $\text{Si-OH}$ などの構造欠陥を引き起こして電荷トラップを形成する原因となるので、十分に除去しておく必要がある。

【0102】乾燥処理の終わったウエハ1は、直ちに成膜装置100のバッファ106に搬送される。この成膜装置100は、例えば酸化膜形成室107、酸化窒化膜形成室108、熱処理室109、ローダ/アンローダ110、メタル膜形成室111などを備えたマルチチャンバ方式で構成されており、装置中央の搬送系112は、ウエハ1を上記各処理室に(から)搬入(搬出)するためのロボットハンド113を備えている。搬送系112の内部は、大気の混入によってウエハ1の表面に自然酸化膜が形成されるのを極力抑制するために、窒素などの不活性ガス雰囲気に保たれる。また、搬送系112の内部は、ウエハ1の表面に水分が付着するのを極力抑制するために、ppbレベルの超低水分雰囲気に保たれる。成膜装置100に搬入されたウエハ1は、ロボットハンド113を介してまず酸化膜形成室107に1枚あるいは2枚単位で搬送される。

【0103】図7(a)は、酸化膜形成室107の具体的な構成の一例を示す概略平面図、図7(b)は、図7(a)のB-B'線に沿った断面図である。

【0104】この酸化膜形成室107は、多重壁石英管で構成されたチャンバ120を備えており、その上部および下部にはウエハ1を加熱するランプ130が設置されている。チャンバ120の内部には、このランプ130から供給される熱をウエハ1の全面に均等に分散させる円盤状の均熱リング122が設置され、その上部にウエハ1を水平に保持するサセプタ123が載置されている。均熱リング122は、石英あるいは $\text{SiC}$ (シリコンカーバイド)などの耐熱材料で構成され、チャンバ120の壁面から延びる支持アーム124によって支持されている。均熱リング122の近傍には、サセプタ123に保持されたウエハ1の温度を測定する熱電対125が設置されている。

【0105】チャンバ120の壁面の一部には、チャンバ120内に水、酸素およびパージガスを導入するためのガス導入管126の一端が接続されている。このガス導入管126の他端は、後述する触媒方式の水分生成装置に接続されている。ガス導入管126の近傍には、多数の貫通孔127を備えた隔壁128が設けられており、チャンバ120内に導入されたガスは、この隔壁128の貫通孔127を通過してチャンバ120内に均等に行き渡る。チャンバ120の壁面の他の一部には、チャンバ120内に導入された上記ガスを排出するための排気管129の一端が接続されている。

【0106】図8は、上記酸化膜形成室107のチャンバ120に接続された触媒方式の水分+酸素混合ガス生成装置140を示す概略図である。このガス生成装置140は、耐熱耐食性合金(例えば商品名「ハステロイ(Hastelloy)」として知られるNi合金など)で構成された反応器141を備えており、その内部にはPt(プラチナ)、Ni(ニッケル)あるいはPd(パラジウム)などの触媒金属からなるコイル142およびこのコイル(または曲面对向板)142を加熱するヒータ143が設置されている。

【0107】上記反応器141には、水素および酸素からなるプロセスガスと、窒素あるいはAr(アルゴン)などの不活性ガスからなるパージガスとがガス貯留槽144a、144b、144cから配管145を通じて導入される。配管145の途中には、ガスの量を調節するマスフローコントローラ146a、146b、146cと、ガスの流路を開閉する開閉バルブ147a、147b、147cとが設置され、反応器141内に導入されるガスの量および成分比がこれらによって精密に制御される。

【0108】反応器141内に導入されたプロセスガス(水素および酸素)は、350~450℃程度に加熱されたコイル(または曲面对向板)142に接触して励起され、水素分子からは水素ラジカルが生成し( $\text{H}_2 \rightarrow 2\text{H}^*$ )、酸素分子からは酸素ラジカルが生成する( $\text{O}_2 \rightarrow 2\text{O}^*$ )。これら2種のラジカルは化学的に極めて活性であるために、速やかに反応して水分を生成する( $2\text{H}^* + \text{O}^* \rightarrow \text{H}_2\text{O}$ )。この水分は、接続部148内で酸素と混合されて低濃度に希釈され、前記ガス導入管126を通して酸化膜形成室107のチャンバ120に導入される。

【0109】上記のような触媒方式の水分+酸素混合ガス生成装置140は、水分の生成に関与する水素と酸素の量を高精度に制御できるので、酸素と共に酸化膜形成室107のチャンバ120に導入される水分濃度をppt以下の極超低濃度から数10%程度の高濃度まで広範囲に、かつ高精度に制御することができる。また、反応器141にプロセスガスを導入すると瞬時に水分が生成するので、所望する水分濃度がリアルタイムで得られる。

(図 2) 100-349285 (P2000-Ey85)

従って、反応器 141 内に水素と酸素を同時に導入することができ、燃焼方式を採用する従来の水分生成システムのように、水素の導入に先立って酸素を導入する必要はない。なお、反応器 141 内の触媒金属は、水素や酸素をラジカル化できるものであれば前述した金属以外の材料を使用してもよい。また、触媒金属はコイル状に加工して使用する他、例えば中空の管あるいは細かい繊維フィルタなどに加工してその内部にプロセスガスを通してもよい。

【0110】上記成膜装置 100 を使ってゲート絶縁膜を形成するには、まず酸化膜形成室 107 のチャンバ 120 を開放し、その内部にバージガス（窒素または Ar）を導入しながらウエハ 1 をサセプタ 123 の上にロードする。その後、チャンバ 120 を閉鎖し、引き続きバージガスを導入してチャンバ 120 内のガス交換を十分に行う。サセプタ 123 は、ウエハ 1 が速やかに加熱されるよう、あらかじめランプ 130 で加熱しておく。ウエハ 1 の加熱温度は、800～900℃の範囲内、好ましくは 850℃程度とする。ウエハ 1 の温度が 800℃以下ではゲート絶縁膜の品質が低下し、900℃以上ではウエハ 1 の表面が荒れ易くなる。

【0111】次に、水分+酸素混合ガス生成装置 140 の反応器 141 に酸素と水素とを導入し、生成した水分を酸素と共にチャンバ 120 に導入してウエハ 1 の表面を数分間酸化することによって、ウエハ 1 の表面に酸化シリコンからなるゲート絶縁膜 9A を形成する（図 9）。

【0112】成膜装置 100 の反応器 141 に酸素と水素とを導入する際は、水素を酸素より先に導入しないようにする。水素を酸素より先に導入すると、未反応の水素が高温のチャンバ 120 に流入するため危険である。他方、酸素を水素より先に導入すると、この酸素がチャンバ 120 に流入し、待機中のウエハ 1 の表面に低品質の酸化膜（初期酸化膜）を形成する。従って、水素は酸素と同時に導入するか、あるいは作業の安全性を考慮して酸素よりも僅かに遅いタイミング（～5秒以内）で導入する。このようにすると、ウエハ 1 の表面に不所望に形成される初期酸化膜の膜厚を最小限に抑制することができる。

【0113】図 10 は、酸化膜成長速度に対する水分濃度の依存性を示すグラフであり、横軸は酸化時間、縦軸は酸化膜厚を示している。図示のように、酸化膜成長速度は、水分濃度が 0（ドライ酸化）のときに最も遅く、水分濃度が高くなるにつれて速くなる。従って、膜厚が 5nm 未満の極薄ゲート絶縁膜 9A を再現性よく、かつ均一な膜厚で形成するためには、水分濃度を低くして酸化膜成長速度を遅らせ、安定な酸化条件で成膜を行うことが有効である。

【0114】酸化膜形成室 107 のチャンバ 120 に導入する水分の好ましい濃度は、ドライ酸化（水分濃度＝

0）で形成したときよりも優れた初期耐圧が得られる濃度を下限とし、従来の燃焼方式を採用した場合の上限である 40% 程度までの範囲内とする。特に、膜厚が 5nm 未満の極薄ゲート絶縁膜 9A を均一な膜厚で再現性よく、しかも高品質で形成するためには、水分の濃度を 0.5%～5% の範囲内とするのが好ましい。

【0115】ここで、水分+酸素混合ガスの「水分濃度」とは、チャンバ 120 に導入する水分+酸素混合ガスに含まれる水分の割合を百分率で示した値である。従って、例えば図 11 に示すように、チャンバ 120 に導入する酸素の流量が  $F_0$ 、水分の流量が  $F_w$  であるとき、この水分+酸素混合ガスの水分濃度  $C$  は、 $C = \{F_w / (F_w + F_0)\} \times 100 (\%)$  である。なお、チャンバ 120 に導入する水分+酸素混合ガスは、常圧である場合の他、減圧または高圧とする場合もある。さらに、窒素や Ar などのバージガスを含む場合もある。

【0116】一方、後述する水分+水素混合ガスの「水分濃度」とは、水分+水素混合ガスに含まれる水分の対水素分圧比を百分率で示した値と定義される。すなわち、水分+水素混合ガスに含まれる水素の分圧を  $P_H$ 、水分の分圧を  $P_w$  としたとき、この水分+水素混合ガスの水分濃度は、 $(P_w / P_H) \times 100 (\%)$  である。従って例えば水素の分圧を 99、水分の分圧を 1 としたとき、この水分+水素混合ガスの水分濃度は、 $[(1 / 99) \times 100] \approx 1.01\%$  である。

【0117】本実施形態では、ウエハ 1 の加熱温度を 850℃、水分+酸素混合ガスの水分濃度を 0.8% に設定してウエハ 1 の主面を酸化することにより、p 型ウエル 7 および n 型ウエル 8 のそれぞれの表面にゲート絶縁膜 9A を形成する。ゲート絶縁膜 9A の膜厚は、次の工程でその上部に形成するゲート電極のゲート長が 0.25  $\mu\text{m}$ ～0.2  $\mu\text{m}$  の場合は 5nm 未満、0.18  $\mu\text{m}$ ～0.14  $\mu\text{m}$  の場合は 4nm 未満、0.13  $\mu\text{m}$ ～0.1  $\mu\text{m}$  の場合は 3nm 未満とする。なお、ここでいうゲート絶縁膜 9A の膜厚とは、二酸化シリコン換算膜厚であり、実際の膜厚と一致しない場合もある。

【0118】その後、酸化シリコンからなるゲート絶縁膜 9A を次のような方法によって酸窒化シリコン (Oxynitride) 膜に変換してもよい。すなわち、上記ゲート絶縁膜 9A が形成されたウエハ 1 を前記図 6 に示す成膜装置 100 の酸窒化膜形成室 108 に搬送し、NO（酸化窒素）あるいは  $N_2O$ （亜酸化窒素）などの含窒素ガス雰囲気中で熱処理を行うことによって、酸化シリコン膜中に窒素を偏析させる。

【0119】上記の酸窒化処理は必須の工程ではないが、ゲート絶縁膜 9A の膜厚が 5nm 未満になるとシリコン基板との熱膨張係数差に起因して両者の界面に生じるストレスが顕在化し、ホットキャリアの発生を誘発するようになる。酸窒化シリコン膜はこのストレスを緩和するので、上記の酸窒化処理を行うと極薄ゲート絶縁膜 9

(図 3) 100-349285 (P2000-Q85)

Aの信頼性、絶縁耐圧がさらに向上する。酸化シリコン膜からなるゲート絶縁膜9Aは、窒素またはアンモニアを添加した水分+酸素混合ガス中でウエハ1を熱処理することによって形成することもできる。

【0120】次に、ゲート絶縁膜9Aが形成されたウエハ1を成膜装置100のメタル膜形成室111に搬送し、図12に示すように、ゲート絶縁膜9Aの上部にゲート電極となるべきW(タングステン)膜11Aを堆積する。W膜11Aはスパッタリング法またはCVD法で堆積し、その膜厚は50nm程度とする。また、W膜11Aに代わるゲート電極材料として、Mo膜を使用することもできる。MoはWよりもさらに電気抵抗が低い利点がある。

【0121】酸化シリコン(または酸化シリコン)からなる上記ゲート絶縁膜9Aの膜中には、その成膜時に主としてSi-O結合の欠損に起因する欠陥が発生する。また、ゲート絶縁膜9Aの上部に多結晶シリコン膜のような中間層を介することなくW膜11Aを直接堆積した場合は、成膜時にW膜11Aの膜中に発生したストレスがその直下のゲート絶縁膜9Aに加わるために、両者の界面近傍のゲート絶縁膜9A中に欠陥が発生する。さらに、スパッタリング法によってゲート絶縁膜9Aの上部にW膜11Aを堆積した場合は、ゲート絶縁膜9Aの表面がスパッタされてダメージが発生したり、Wイオンが基板1に侵入してゲート絶縁膜9Aの膜厚を目減りさせたりする。他方、W膜11AをCVD法で堆積した場合は、反応ガス(WF<sub>6</sub>)中のフッ素によってゲート絶縁膜9Aの表面がエッチングされ、実際の膜厚が所望する膜厚よりも薄くなってしまふ。従って、いずれの方法でW膜11Aを形成する場合でも、その直下のゲート絶縁膜9Aに欠陥が発生することは避けられない。特に、膜厚が5nm未満の極薄ゲート絶縁膜9Aは、上記のような欠陥が膜中にわずかに存在しただけでも絶縁耐圧やTDDDB(Time-dependent dielectric breakdown; 経時絶縁破壊)耐性が劣化し、膜の品質および信頼性が低下する。

【0122】そこで、次に酸化性雰囲気中でウエハ1を熱処理し、ゲート絶縁膜9Aに生じた上記の欠陥を修復する。すなわち、W膜11Aを通じてその直下のゲート絶縁膜9Aに酸素を供給し、ゲート絶縁膜9Aを構成する酸化シリコン膜に存在するSi-O結合の欠損箇所に酸素を導入して欠損箇所を補修する。

【0123】しかし、ゲート絶縁膜9Aの欠陥修復を通常の酸化性雰囲気、例えばドライ酸素雰囲気中で行うと、ゲート絶縁膜9Aを覆っているW膜11Aも同時に酸化されてしまうのでゲート電極の抵抗が大きくなってしまふ。従って、ゲート絶縁膜9Aの欠陥修復は、ゲート電極材料であるWを実質的に酸化することなしにSiのみを選択的に酸化することのできる方法で行わなければならない。

【0124】図13は、水分+水素混合ガスを使った酸化還元反応の平衡蒸気圧比( $P_{H_2O}/P_{H_2}$ )の温度依存性を示すグラフであり、図中の曲線(a)~(e)は、それぞれW、Mo(モリブデン)、Ta(タンタル)、Si、Ti(チタン)の平衡蒸気圧比を示している。

【0125】図示のように、水分/水素分圧比を曲線(a)と曲線(d)とに挟まれた領域の範囲内に設定することにより、Wを酸化することなしにSiのみを選択的に酸化することができる。すなわち、水分/水素分圧比が曲線(a)と曲線(d)とに挟まれた領域にある水分+水素混合ガス雰囲気中でウエハ1を熱処理することにより、W膜11Aを酸化することなくゲート絶縁膜9Aを酸化してその欠陥を修復することができる。

【0126】同様に、水分/水素分圧比を図の曲線(b)と曲線(d)とに挟まれた領域の範囲内に設定することにより、Moを酸化することなしにSiのみを選択的に酸化することができる。すなわち、ゲート電極材料がMoの場合は、水分/水素分圧比がこの領域の範囲内に設定された水分+水素混合ガス雰囲気中でウエハ1を熱処理することにより、Mo膜を酸化することなくゲート絶縁膜9Aの欠陥修復を行うことができる。

【0127】ゲート絶縁膜9Aの欠陥修復は、W膜11Aを形成したウエハ1を前記成膜装置100のメタル膜形成室111から熱処理室109に搬送して行く。熱処理室109のチャンバは、ゲート絶縁膜9Aの形成に用いた前記酸化膜形成室107のチャンバ101と同じ構造にであるため、その図示は省略する。

【0128】図14は、上記熱処理装置109に接続された触媒方式の水分+水素混合ガス生成装置240と水素ガス除害装置250とを示す概略図である。

【0129】水分+水素混合ガス生成装置240は、ゲート絶縁膜9Aの形成に用いた前記水分+酸素混合ガス生成装置140と類似した構造になっている。すなわち、水分+水素混合ガス生成装置240は、耐熱耐食性合金で構成された反応器241aを備えており、その内部には触媒金属からなるコイル242およびこのコイル242を加熱するヒータ243が設置されている。

【0130】上記反応器241aには、水素および酸素からなるプロセスガスと、窒素あるいはArなどの不活性ガスからなるパージガスとがそれぞれガス貯留槽244a、244b、244cから配管245を通じて導入される。ガス貯留槽244a、244b、244cと配管245との間には、ガス量を調節するマスフローコントローラ246a、246b、246cと、ガスの流路を開閉する開閉バルブ247a、247b、247cとが設置され、反応器241a内に導入されるガスの量および成分比がこれらによって精密に制御される。

【0131】反応器241a内に導入されたプロセスガス(水素および酸素)は、350~450℃程度に加熱されたコイル242に接触して励起され、水素分子から

(図4) 100-349285 (P2000-p隠率)

は水素ラジカルが生成し ( $\text{H}_2 \rightarrow 2\text{H}^*$ )、酸素分子からは酸素ラジカルが生成する ( $\text{O}_2 \rightarrow 2\text{O}^*$ )。これら2種のラジカルは化学的に極めて活性であるために、速やかに反応して水分を生成する ( $2\text{H}^* + \text{O}^* \rightarrow \text{H}_2\text{O}$ )。そこで、水分が生成するモル比 (水素:酸素=2:1) よりも過剰の水素を含んだ水素/酸素混合ガスを反応器241a内に導入することによって、水分+水素混合ガスを生成することができる。ここで生成した水分+水素混合ガスは、ガス導入管208を通して前記熱処理室209のチャンバに導入される。

【0132】上記のような触媒方式のガス生成装置240は、前述した水分+酸素混合ガス生成装置140と同様、水分の生成に関与する水素と酸素の量およびそれらの比率を高精度に制御できるので、熱処理室209のチャンバに導入される水分+水素混合ガス中の水分濃度をppb オーダの極超低濃度から数10%程度の高濃度まで広範囲、かつ高精度に制御することができる。また、反応器241aにプロセスガスを導入すると瞬時に水分が生成するので、所望する水分濃度の水分+水素混合ガスがリアルタイムで得られる。これにより、異物の混入も最小限に抑えられるので、クリーンな水分+水素混合ガスを熱処理室209に導入することができる。

【0133】ゲート絶縁膜9Aの欠陥修復を行うには、まず熱処理室209のチャンバ内にパージガス (窒素またはAr) を導入しながらウェハ1を搬入した後、チャンバを閉鎖し、引き続きパージガスを導入してチャンバ内のガス交換を十分に行ってからチャンバ内に水分+水素混合ガスを導入する。このときのウェハ1の加熱温度は、好ましくは700℃~800℃の範囲内、より好ましくは750℃程度とする。また、水分+水素混合ガスの水分濃度は、好ましくは0.5%~30%の範囲内、より好ましくは1%~20%の範囲内とする。

【0134】上記の条件で熱処理を行うことにより、水分+水素混合ガス中の水分に由来する酸化種 (OH基) がW膜11Aを通じてゲート絶縁膜9Aに侵入し、Si-O結合の酸素不足欠陥部に酸素を供給して欠陥を修復する。また、この条件で熱処理を行ってもW膜11Aが酸化されることはないので、ゲート電極の抵抗が増加することはない。

【0135】なお、W膜11Aはその成膜時に膜中にストレスが蓄積されるので、W膜11Aをパターンニングしてゲート電極を形成すると膜中の残留ストレスがゲート電極の側壁端部に集中し、この領域におけるゲート絶縁膜9Aのホットキャリア耐性を低下させる。ゲート絶縁膜9Aの欠陥修復のための上記熱処理を行うと、W膜11A中に蓄積されたストレスが緩和されるので、ゲート電極の形成後にその側壁端部でゲート絶縁膜9Aのホットキャリア耐性が低下する不具合を同時に抑制することができる。

【0136】上記したゲート絶縁膜9Aの欠陥修復作業

が完了した後、熱処理室209内の水分+水素混合ガスは、前記図14に示す排気管211を通じて排出され、冷却器256で500℃以下に冷却された後、水素ガス除害装置250の反応器241bに導入される。このとき、配管251を通じてガス貯留槽244aから排気管211内に酸素ガスが供給され、水分+水素混合ガスと共に反応器241bに導入される。ガス貯留槽244aと配管251の間には、酸素ガスの量を調節するマスフローコントローラ246dと酸素ガスの流路を開閉する開閉バルブ247dとが設置され、反応器242bに導入される酸素ガスの量がこれらによって精密に制御される。また、排気管211の途中には、この酸素ガスが熱処理室209内に逆流するのを防止する逆止弁252が設けられている。

【0137】水素ガス除害装置250の反応器241bは、前記ガス生成装置240の反応器241aと同様、耐熱耐食性合金で構成され、その内部には触媒金属となるコイル242とこのコイル242を加熱するヒータ243とが設置されている。この反応器241b内に導入された水分+水素混合ガスと酸素ガスは、350~450℃程度に加熱されたコイル242に接触して励起され、水素分子から生成した水素ラジカルと酸素分子から生成した酸素ラジカルとが速やかに反応して水分を生成する。

【0138】そこで、熱処理室209から排出された水分+水素混合ガスを反応器241b内に導入する際は、この混合ガス中の水素量の少なくとも1/2以上 (モル比) の酸素を同時に導入し、水素ガスを完全に酸化して水に変換する。この酸素ガスは、水分+水素混合ガスの導入に先立って反応器241b内に導入しておいてもよく、あるいは配管251および排気管211を通じて反応器241b内に常時流し続けてもよい。反応器241b内で生成した水分は、過剰の酸素ガスと共に排気管253を通じて外部に排出される。この排気管253の途中には、水素ガスが完全に水に変換されたか否かを確認するための水素ガスセンサ254と、排出された高温の水分 (水蒸気) を液化するための冷却器255とが設けられている。

【0139】次に、図15に示すように、W膜11Aの上部にCVD法で膜厚50nm~100nm程度の窒化シリコン膜13を堆積し、フォトリソ膜14をマスクにしたドライエッチングで窒化シリコン膜13とW膜11Aとをパターンニングすることによってゲート電極11を形成する。ゲート電極11のゲート長は、0.25μm~0.1μmの範囲とする。Wで構成されたゲート電極11は、そのシート抵抗が2Ω/□以下になるので、MISFETの動作速度を向上させることができる。なお、W膜11Aの上部に窒化シリコン膜13を堆積した後、W膜11Aをパターンニングしてゲート電極11を形成する工程に先立ち、前記水分+水素混合ガスを使った



( 5 ) 100-349285 ( P 2000-085 )

熱処理をもう一度行うことによって、窒化シリコン膜13の堆積によって生じたW膜11A中のストレスを低減してもよい。

【0140】次に、ゲート電極11の加工に用いたフォトレジスト膜14をアッシング（灰化）処理で除去した後、基板1の表面に残ったドライエッチング残渣やアッシング残渣をフッ酸などのエッチング液で除去する。図16に示すように、このウェットエッチングを行うと、ゲート電極11の下部を除いた領域のゲート絶縁膜9Aが削られると同時に、ゲート電極11の側壁下部のゲート絶縁膜9Aも等方的にエッチングされてアンダーカットが生じるためにゲート絶縁膜9Aの耐圧が低下する。そこで次に、上記のウェットエッチングで削れたゲート絶縁膜9Aを再生するための熱処理（再酸化処理）を行う。なお、この再酸化処理に関連する技術として、本発明者らによる日本特願平10-138939号、日本特開平10-335652号公報およびこれに対応する米国特許出願09/086568がある。

【0141】上記再酸化処理は、前述したゲート絶縁膜9Aの欠陥修復処理と同様、ゲート電極11を構成するW膜（11A）を酸化することなくSi（基板1）を酸化しなければならないため、ウエハ（基板）1を前記熱処理装置209に搬入し、触媒方式の水分+水素混合ガス生成装置240で生成した水分+水素混合ガス雰囲気中で熱処理を行う。この水分+水素混合ガスの水分濃度は、ゲート絶縁膜9Aの欠陥修復に用いた水分+水素混合ガスのそれと同じでよい。また、熱処理温度は、ゲート絶縁膜9Aの欠陥修復時の温度と同じまたはそれよりも僅かに低い温度とする。

【0142】この熱処理を行うことにより基板（Si）1の表面が酸化され、前記のウェットエッチング工程で削られて薄くなったゲート酸化膜9の膜厚がエッチング前の状態に回復するために、アンダーカットされたゲート電極11の側壁端部のプロファイルが改善される（図17）。

【0143】なお、上記の再酸化処理を長時間行くと、ゲート電極11の端部近傍の酸化膜厚が必要以上に厚くなり、ゲート電極11の端部でオフセットが生じたり、MISFETのしきい値電圧（ $V_{th}$ ）が設計値からずれたりする。また、実効チャネル長がゲート電極11の加工値よりも短くなるといった問題も生じる。特に、ゲート長が0.25 $\mu\text{m}$ 未満の微細なMISFETは、ゲート加工寸法の設計値からの細り許容量が素子設計の面から厳しく制限される。これは、細り量が僅かに増加しただけでも短チャネル効果によって、しきい値電圧が急激に減少するからである。従って、上記再酸化処理によって成長させる酸化膜の膜厚は、ゲート絶縁膜9Aの膜厚の50%増し程度を上限とするのが望ましい。

【0144】前述したゲート絶縁膜9Aの欠陥修復は、W膜11Aをパターニングしてゲート電極11を形成し

た後に行うこともできる。すなわち、ゲート絶縁膜9Aの欠陥修復とゲート絶縁膜9Aの再酸化処理とを一括して行うこともできる。この場合、ゲート電極11の上部は窒化シリコン膜13で覆われているため、ゲート電極11の直下のゲート絶縁膜9Aには、ゲート電極11の側壁を通じて酸素が供給される。

【0145】次に、図18に示すように、p型ウエル7にn型不純物、例えばP（リン）をイオン注入してゲート電極11の両側のp型ウエル7にn<sup>-</sup>型半導体領域16を形成する。また、n型ウエル8にp型不純物、例えばB（ホウ素）をイオン打ち込みしてゲート電極11の両側のn型ウエル8にp<sup>-</sup>型半導体領域17を形成する。

【0146】次に、図19に示すように、ゲート電極11の側壁にサイドウォールスペーサ18を形成する。サイドウォールスペーサ18は、例えば基板1上にCVD法で堆積した膜厚50nm程度の窒化シリコン膜を異方的にエッチングし、この窒化シリコン膜をゲート電極11の側壁に残すことによって形成する。

【0147】次に、p型ウエル7にn型不純物、例えばAs（ヒ素）をイオン打ち込みしてn<sup>+</sup>型半導体領域20（ソース、ドレイン）を形成し、n型ウエル8にp型不純物、例えばB（ホウ素）をイオン打ち込みしてp<sup>+</sup>型半導体領域21（ソース、ドレイン）を形成する。ここまでの工程により、p型ウエル7にnチャネル型MISFETQnが形成され、n型ウエル8にpチャネル型MISFETQpが形成される。

【0148】次に、図20に示すように、基板1上にCVD法で酸化シリコン膜22を堆積し、化学機械研磨法を用いてその表面を平坦化した後、フォトレジスト膜（図示せず）をマスクにして酸化シリコン膜22をドライエッチングすることにより、n<sup>+</sup>型半導体領域20（ソース、ドレイン）の上部にコンタクトホール23形成し、p<sup>+</sup>型半導体領域21（ソース、ドレイン）の上部にコンタクトホール24を形成する。

【0149】次に、図21に示すように、酸化シリコン膜22の上部にCVD法またはスパッタリング法でW膜を堆積した後、フォトレジスト膜（図示せず）をマスクにしてW膜をパターニングすることにより、酸化シリコン膜22の上部に配線25～30を形成する。

【0150】（実施の形態2）酸化シリコンからなるゲート絶縁膜の上部にW膜やMo膜などの金属膜を直接堆積して熱処理を行うと、両者の界面に高抵抗のシリサイド化合物が生成し、ゲート絶縁膜の耐圧を劣化させることがある。その対策としては、ゲート電極材料であるW膜（またはMo膜）とその下部の酸化シリコンからなるゲート絶縁膜との間に両者の界面反応を防ぐ導電性バリア膜を形成する方法が周知である。この導電性バリア膜として好適な材料は、それ自身の反応性が低く、かつ耐熱性が高い導電性材料である窒化チタン（TiN）、

(46) 100-349285 (P2000-A, 85)

窒化タングステン(WN)、窒化モリブデン(MoN)などの高融点金属窒化物である。また、タンタル(Ta)、ジルコニウム(Zr)、ハフニウム(Hf)などの窒化物を使用することもできる。

【0151】W膜(またはMo膜)とその下部の酸化シリコンからなるゲート絶縁膜との間に上記導電性バリア膜を形成する場合、ゲート絶縁膜9Aの欠陥修復は、次のような方法で行う。

【0152】まず、図22に示すように、前記実施形態1と同様の方法でp型ウェル7およびn型ウェル8のそれぞれの表面に酸化シリコン(または酸窒化シリコン)からなる膜厚5nm未満のゲート絶縁膜9Aを形成した後、ゲート絶縁膜9Aの上部に導電性バリア膜12を形成し、さらに導電性バリア膜12の上部にスパッタリング法またはCVD法で膜厚50nm程度のW膜11A(またはMo膜)を形成する。導電性バリア膜12はCVD法またはスパッタリング法で堆積したWN膜、MoN膜またはTiN膜で構成し、その膜厚は5nm程度とする。

【0153】次に、この状態でゲート絶縁膜9Aの欠陥を修復するための熱処理を行う。この熱処理は、ゲート電極材料であるW(またはMo)および導電性バリア膜を構成するメタル(W、TiまたはMo)を酸化することなしにSiのみを選択的に酸化できる方法で行う。

【0154】例えばゲート電極材料がW、バリア材料がWNである場合は、水分/水素分圧比を前記図13の曲線(a)と曲線(d)とに挟まれた領域の範囲内に設定した水分+水素混合ガス雰囲気中で熱処理を行うことにより、ゲート電極材料およびバリア材料を酸化することなしにゲート絶縁膜9Aの欠陥を修復することができる。また、ゲート電極材料がMo、バリア材料がMoNである場合は、水分/水素分圧比を曲線(b)と曲線(d)とに挟まれた領域の範囲内に設定した水分+水素混合ガス雰囲気中で熱処理を行うことにより、ゲート電極材料およびバリア材料を酸化することなしにゲート絶縁膜9Aの欠陥を修復することができる。すなわち、これらの場合は、前記実施形態1と同様の方法でゲート絶縁膜9Aの欠陥を修復することができる。

【0155】一方、ゲート電極材料がW(またはMo)、バリア材料がTiNである場合、Tiは、前記図13に示すように水分+水素混合ガス雰囲気中でSiよりも酸化速度が大きいので、Tiを実質的に酸化することなしにSiのみを選択的に酸化することはできない。すなわち、この場合は、前記実施形態1と同様の方法でゲート絶縁膜9Aの欠陥修復を行うとバリア材料も酸化されるので、ゲート電極の抵抗が大きくなってしまふ。

【0156】しかし、この場合も前記触媒方式の水分+水素混合ガス生成装置を使用し、水分+水素混合ガス中の水分を極く低濃度に設定することにより、TiおよびSiの酸化速度を遅くすることができるので、バリア材料の酸化を最小限にとどめてゲート電極の抵抗増加を実

用上問題とならない範囲に抑えることができる。具体的には、水分濃度が1%以下、好ましくは数ppm~100ppm程度の水分+水素混合ガス雰囲気中で熱処理を行えばよい。

【0157】ゲート電極材料の酸化を防ぎ、かつバリア材料の酸化も最小限にとどめてゲート絶縁膜9Aの欠陥を修復する他の方法として、水分/水素分圧比を図13の曲線(a)(ゲート電極材料がMoの場合は(b))と曲線(d)とに挟まれた領域の範囲内に設定した水分+水素混合ガスに窒素またはアンモニアを添加したガス雰囲気中で熱処理を行う方法もある。

【0158】窒素またはアンモニアを添加した水分+水素混合ガス雰囲気中で熱処理を行うと、W膜11A(またはMo)膜を通じて導電性バリア膜12中にOH基と窒素とが拡散し、OH基によるTiの酸化反応と窒素によるTiの窒化反応とが競合する。そのため、導電性バリア膜12の酸化を抑制しながらゲート絶縁膜9Aの欠陥を修復することができる。この場合も、水分濃度を下げ、導電性バリア膜12の酸化速度をできるだけ遅くすることが望ましい。また、このガスを使用した場合は、酸化シリコン膜で構成されたゲート絶縁膜9Aの一部が酸窒化シリコン膜に変換されるので、極薄ゲート絶縁膜9Aの信頼性、絶縁耐圧がさらに向上する。

【0159】次に、図23に示すように、W膜11Aの上部にCVD法で膜厚50nm~100nm程度の窒化シリコン膜13を堆積した後、フォトリソ膜14をマスクにしたドライエッチングで窒化シリコン膜13とW膜11Aとをパターニングすることによりゲート電極11を形成する。その後、上記エッチングで削れたゲート絶縁膜9Aを再生するために、前記実施形態1と同様の熱処理(再酸化処理)を行う。なお、本実施形態においても、ゲート電極11を形成した後にゲート絶縁膜9Aの欠陥修復と再酸化処理とを一括して行うことができる。

【0160】(実施の形態3)酸化シリコンからなるゲート絶縁膜を二酸化シリコン換算膜厚で5nm未満、特に3nm未満まで薄くすると、直接トンネル電流の発生やストレス起因のホットキャリアなどによる絶縁耐圧の低下が顕在化する。本実施形態では、その対策としてゲート絶縁膜を窒化シリコン膜あるいは酸化シリコン膜と窒化シリコン膜との複合絶縁膜で形成する。

【0161】窒化シリコン膜は、酸化シリコン膜よりも誘電率が高いために、その二酸化シリコン換算膜厚は実際の膜厚よりも薄くなる。従って、ゲート絶縁膜を単一の窒化シリコン膜あるいはそれと酸化シリコンとの複合膜で構成することにより、酸化シリコン膜で構成されたゲート絶縁膜に比べてその実効膜厚を厚くすることができるので、上記の問題を改善することができる。また、酸化シリコン膜で構成されたゲート絶縁膜の上部にW膜を直接堆積した場合に生じる前記の問題も改善することができる。

(図7) 100-349285 (P2000-t85)

【0162】ここで、単一絶縁膜または複合絶縁膜の二酸化シリコン換算膜厚（以下、単に換算膜厚ともいう） $d_r$ とは、対象となる絶縁膜の比誘電率を $\epsilon_i$ 、その膜厚を $d_i$ 、二酸化シリコンの比誘電率を $\epsilon_s$ としたときに、図24に示す式で定義される膜厚である。

【0163】酸化シリコン（ $\text{SiO}_2$ ）および窒化シリコン（ $\text{Si}_3\text{N}_4$ ）の誘電率は、それぞれ4～4.2および8である。そこで、窒化シリコンの誘電率を酸化シリコンの誘電率の2倍として計算すると、例えば膜厚6nmの窒化シリコン膜の二酸化シリコン換算膜厚は3nmとなる。すなわち、膜厚6nmの窒化シリコン膜からなるゲート絶縁膜と膜厚3nmの酸化シリコン膜からなるゲート絶縁膜とは容量が等しい。また、膜厚2nmの酸化シリコン膜と膜厚2nmの窒化シリコン膜（換算膜厚＝1nm）との複合膜からなるゲート絶縁膜の容量は、膜厚3nmの単一酸化シリコン膜からなるゲート絶縁膜の容量と同じである。

【0164】ゲート絶縁膜を窒化シリコン膜（窒化シリコン膜を主成分とする単一もしくは複合絶縁膜）で構成した場合の欠陥修復は、次のような方法で行う。まず、図25に示すように、前記実施形態1と同様の方法で基板1にp型ウエル7およびn型ウエル8を形成し、続いてそれらの表面を洗浄して不要な絶縁膜を除去した後、それらの上部にCVD法で窒化シリコン膜を堆積してゲート絶縁膜9Bを形成する。この窒化シリコン膜は、プラズマCVD法で堆積するよりも、基板1に与えるダメージが少ない低圧CVD法で形成した方がよい。また、基板1の表面をプラズマ窒化処理することによって窒化シリコン膜を形成してもよい。

【0165】上記ゲート絶縁膜9B（窒化シリコン膜）の二酸化シリコン換算膜厚は、次の工程でその上部に形成するゲート電極のゲート長が0.25 $\mu\text{m}$ ～0.2 $\mu\text{m}$ 程度の場合は5nm未満、ゲート長が0.18 $\mu\text{m}$ ～0.14 $\mu\text{m}$ 程度の場合は4nm未満、さらにゲート長が0.13 $\mu\text{m}$ ～0.1 $\mu\text{m}$ 程度の場合は3nm未満とする。この場合、ゲート絶縁膜9B（窒化シリコン膜）の実際の膜厚は、それぞれ10nm未満、8nm未満および6nm未満である。

【0166】次に、図26に示すように、ゲート絶縁膜9Bの上部にスパッタリング法またはCVD法で膜厚50nm程度のW膜11A（またはMo膜）を形成する。

【0167】窒化シリコンからなるゲート絶縁膜9Bの膜中には、その成膜時に主としてSi-N結合の欠損に起因する欠陥が発生する。また、ゲート絶縁膜9Bの上部にW膜11Aを直接堆積すると、成膜時にW膜11Aの膜中に発生したストレスがその直下のゲート絶縁膜9B（窒化シリコン膜）に加わるので、両者の界面近傍のゲート絶縁膜9B中にも欠陥が発生する。二酸化シリコン換算膜厚が5nm未満の極薄ゲート絶縁膜9Bは、上記のような欠陥が膜中にわずかに存在しただけでも絶縁耐

圧やTDD B耐性が劣化し、膜の信頼性低下を引き起こす。

【0168】そこで、酸化性雰囲気中でウエハ1を熱処理し、W膜11Aを通じてその下部のゲート絶縁膜9Bに酸素を供給することによって、ゲート絶縁膜9Bの欠陥を修復する。この場合の欠陥修復は、ゲート絶縁膜9Bを構成する窒化シリコン膜に存在するSi-N結合の欠損箇所に酸素を導入し、Si-O結合を形成することによって行う。また、この欠陥修復のための熱処理は、ゲート電極材料であるWを酸化することなしにSiのみを選択的に酸化しなければならないので、前記実施形態1と同様、水分/水素分圧比を前記図13の曲線(a)と曲線(d)とに挟まれた領域の範囲内に設定した水分+水素混合ガス雰囲気中で行う。さらに、ゲート電極材料がMo膜である場合は、水分/水素分圧比を曲線(b)と曲線(d)とに挟まれた領域の範囲内に設定した水分+水素混合ガス雰囲気中で熱処理を行う。また、この水分+水素混合ガスは、その水分濃度を高精度に制御できる前記触媒方式の水分+水素混合ガス生成装置を使用して生成する。

【0169】窒化シリコン膜と酸化シリコン膜との複合膜からなるゲート絶縁膜9Bを形成するには、例えば基板1（p型ウエル7、n型ウエル8）の表面を熱酸化して酸化シリコン膜を形成した後、その上部にCVD法で窒化シリコン膜を堆積する。この場合も、上記水分+水素混合ガスを使って熱処理を行い、窒化シリコン膜に存在するSi-N結合の欠損箇所および酸化シリコン膜に存在するSi-O結合の欠損箇所にそれぞれ酸素を導入することによって欠陥を修復する。

【0170】窒化シリコン膜と酸化シリコン膜との複合膜で構成されたゲート絶縁膜9Bの欠陥修復は、水分+水素混合ガスに窒素またはアンモニアを添加したガス雰囲気中で行ってもよい。この場合は、ゲート絶縁膜9Bの一部である酸化シリコン膜が酸窒化膜に変換されるので、ゲート絶縁膜9Bの信頼性および絶縁耐圧がさらに向上する。

【0171】次に、図27に示すように、W膜11Aの上部にCVD法で膜厚50nm～100nm程度の窒化シリコン膜13を堆積した後、フォトリソ膜14をマスクにしたドライエッチングで窒化シリコン膜13とW膜11Aとをパターニングしてゲート電極11を形成する。

【0172】（実施の形態4）前記実施形態3では、酸化シリコン膜の約2倍の誘電率を持った窒化シリコン膜やそれを主要な成分とする絶縁膜を使ってゲート絶縁膜を形成したが、窒化シリコン膜よりもさらに高い誘電率の絶縁材料を使用した場合は、二酸化シリコン換算膜厚が5nm未満の絶縁膜を窒化シリコン膜よりも厚い膜厚で形成できるので、微細なMISFETの形成が一層容易になる。

(18) 100-349285 (P2000-Y85)

【0173】窒化シリコン膜よりも高い誘電率を有するゲート絶縁膜材料としては、酸化タンタル( $\text{Ta}_2\text{O}_5$ )や酸化チタン( $\text{TiO}_2$ )などの高融点金属酸化物を挙げることができる。酸化タンタルはその誘電率が20~25と高く、CVD法による成膜も容易であることから、従来よりDRAM(Dynamic Random Access Memory)のキャパシタ材料などに使用されており、既存の半導体製造プロセスとの整合性が高い。また、誘電率が80~120とさらに高い酸化チタンも、Tiがシリサイド材料として半導体製造プロセスで使用されているので、既存の半導体製造プロセスとの整合性が高い。その他、チタンと同じ4A族金属であるジルコニウム( $\text{Zr}$ )やハフニウム( $\text{Hf}$ )の酸化物( $\text{ZrO}_2$ 、 $\text{HfO}_2$ )も酸化チタンとほぼ同程度の高い誘電率を有しており、かつ化学的にも安定であることから、極薄ゲート絶縁膜材料として使用することができる。

【0174】例えば、酸化チタンで構成されたゲート絶縁膜を有するMISFETを形成するには、まず図28に示すように、前記実施形態1と同様の方法で基板1にp型ウエル7およびn型ウエル8を形成し、続いてそれらの表面を洗浄して不要な絶縁膜を除去した後、それらの上部にスパッタリング法で酸化チタン膜を堆積してゲート絶縁膜9Cを形成する。このとき、酸化チタン膜の膜厚を約40nm~60nmとすることにより、二酸化シリコン換算膜厚が2nmのゲート絶縁膜9Cが得られる。

【0175】次に、図29に示すように、ゲート絶縁膜9Cの上部にスパッタリング法またはCVD法で膜厚50nm程度のW膜11A(またはMo膜)を形成する。

【0176】上記ゲート絶縁膜9Cを構成する酸化チタンのような結晶性金属酸化物は、成膜直後の膜中に電流のリークパスとなる欠陥(主として結晶中や結晶粒界に存在する酸素欠損)を多く含んでいる。また、ゲート絶縁膜9Cの上部にW膜11Aを直接堆積すると、成膜時にW膜11Aの膜中に発生したストレスがその直下のゲート絶縁膜9Cに加わるため、両者の界面近傍のゲート絶縁膜9Cにも欠陥が発生する。従って、ゲート絶縁膜としての使用に耐える絶縁特性を持った酸化チタン膜を得るためには、これらの欠陥を修復する必要がある。

【0177】酸化チタンのような高融点金属酸化物からなるゲート絶縁膜9Cの欠陥を修復するには、酸化性雰囲気中で基板1を熱処理し、W膜11Aを通じてゲート絶縁膜9Cの酸素欠損箇所に酸素を導入して膜を改質・結晶化する。

【0178】高融点金属酸化物が酸化チタンである場合、上記熱処理は、その上部に堆積されたゲート電極材料であるWを実質的に酸化することなしにTiを酸化する雰囲気中で行わなければならない。従って、この熱処理は、水分/水素分圧比を前記図13に示す曲線(a)と曲線(e)とに挟まれた領域の範囲内に設定した水分+水素混合ガス雰囲気中で行う必要がある。しかし、図

示のように、Tiは水分+水素混合ガス雰囲気中で平衡蒸気圧曲線がSiよりも僅かに低水分分圧側にあるだけなので、水分濃度が高い水分+水素混合ガス雰囲気中で熱処理を行った場合は基板1も酸化される。その結果、ゲート絶縁膜9Cとその直下の基板1との界面に酸化シリコン膜が形成され、ゲート絶縁膜9Cの実効的な二酸化シリコン換算膜厚が大きくなる。

【0179】そこで、酸化シリコン膜の成長をできるだけ抑制したいときは、前記触媒方式の水分+水素混合ガス生成装置を使い、水分+水素混合ガス中の水分を極く低濃度に設定して熱処理を行う。これにより、Siの酸化速度が遅くなるために、基板1の酸化を最小限にとどめてゲート絶縁膜9Cの欠陥を修復することができる。具体的には、水分+水素混合ガス雰囲気中の水分濃度を数ppm~100ppm程度に設定し、400℃~700℃の温度範囲で熱処理を行う。

【0180】前述したZrやHfは、Tiと同様、水分+水素混合ガス雰囲気中における酸化還元平衡曲線がSiのそれよりも低水分側にある。従って、これらの高融点金属酸化物( $\text{ZrO}_2$ 、 $\text{HfO}_2$ )の薄膜を基板1上に堆積したゲート絶縁膜9Cを形成した場合、その欠陥修復は、酸化チタンで構成された前記ゲート絶縁膜9Cの欠陥修復と同様の方法で行う。すなわち、水分/水素分圧比がゲート電極材料(W)を酸化せず、これらの金属(Zr、Hf)のみを選択的に酸化するような割合に設定された水分+水素混合ガス雰囲気中で熱処理を行う。

【0181】一方、酸化タンタルで構成されたゲート絶縁膜を有するMISFETを形成するには、まず基板1(p型ウエル7、n型ウエル8)の上部にCVD法で酸化タンタル膜を堆積してゲート絶縁膜9Cを形成する。このとき、酸化タンタル膜の膜厚を約10nm~12nmとすることにより、二酸化シリコン換算膜厚が2nmのゲート絶縁膜9Cが得られる。

【0182】酸化タンタルからなるゲート絶縁膜9Cの欠陥を修復するには、その上部に堆積されたゲート電極材料であるWを実質的に酸化することなしにTaを酸化する雰囲気中で熱処理を行う。すなわち、ゲート絶縁膜9Cの上部にW膜11Aを堆積した後、水分/水素分圧比を前記図13の曲線(a)と曲線(c)とに挟まれた領域の範囲内に設定した水分+水素混合ガス雰囲気中で基板1を熱処理する。しかし、図示のように、Taは水分+水素混合ガス雰囲気中でSiよりも酸化速度が小さいので、Siを実質的に酸化することなしにTaのみを酸化することはできない。すなわち、酸化タンタルからなるゲート絶縁膜9Cの欠陥を修復する場合は基板1も同時に酸化される。その結果、ゲート絶縁膜9Cとその直下の基板1との界面に酸化シリコン膜が形成され、ゲート絶縁膜9Cの実効的な二酸化シリコン換算膜厚が大きくなる。

(図 9) 100-349285 (P2000-85)

【0183】しかし、この場合も前記触媒方式の水分+水素混合ガス生成装置を使い、水分+水素混合ガス中の水分を極く低濃度に設定して熱処理を行う。これにより、TaおよびSiの酸化速度が遅くなるために、基板1の酸化を最小限にとどめてゲート絶縁膜9Cの欠陥を修復することができる。具体的には、水分+水素混合ガスの水分濃度を1%~50%程度に設定し、400℃~700℃の温度範囲で熱処理を行う。

【0184】上記した酸化チタン、酸化ジルコニウム、酸化ハフニウム、酸化タンタル膜などの高融点金属酸化物からなるゲート絶縁膜9Cの欠陥修復は、その上部にゲート電極材料(W膜11A)を堆積する前に行ってもよい。この場合は、ゲート絶縁膜9Cを構成する金属酸化物に十分な酸素を供給することができるので、膜中の欠陥をより確実に修復することができる。ただし、W膜11Aの堆積によってゲート絶縁膜9Cに生じる欠陥を修復するためには、W膜11Aの堆積後に上記の熱処理をもう一度行う必要がある。

【0185】上記した高融点金属酸化物からなるゲート絶縁膜9Cの欠陥修復は、その上部に堆積したW膜やMo膜などをパターンニングしてゲート電極を形成した後に行ってもよい。また、ゲート電極の形成前および形成後にそれぞれ行ってもよい。

【0186】金属酸化物からなるゲート絶縁膜は、誘電率が8~10のアルミナ( $Al_2O_3$ )を使って形成することもできる。また、 $ABO_3$ 型の広義のペロブスカイト型構造を含む高誘電体であって、動作温度において常誘電相にある金属酸化物(例えばBST(チタン酸バリウムストロンチウム)など)を使って形成することもできる。さらに、金属酸化物の2種以上を含む二元または多元酸化物を主要な成分とするものや、これらの金属酸化物と酸化シリコン膜あるいは窒化シリコン膜との複合膜を使って形成することもできる。

【0187】(実施の形態5)酸化チタン、酸化ジルコニウム、酸化ハフニウムなど、水分+水素混合ガス雰囲気中における酸化還元反応の平衡曲線がSiのそれよりも低水分側にある高融点金属の酸化物からなるゲート絶縁膜9Cは、次のような方法によって形成することもできる。

【0188】まず、図30に示すように、前記実施形態1と同様の方法で基板1にp型ウエル7およびn型ウエル8を形成し、続いてそれらの表面を洗浄して不要な絶縁膜を除去した後、それらの上部にスパッタリング法でTi膜31を堆積する。

【0189】次に、図31に示すように、水分/水素分圧比がSiを実質的に酸化せず、Tiのみを選択的に酸化するような割合(前記図13の曲線(d)と曲線(e)とに挟まれた領域の範囲内)に設定された水分+水素混合ガス雰囲気中で基板1を熱処理する。これにより、上記Ti膜31が酸化されて酸化チタン膜に変換さ

れる結果、酸化チタンからなるゲート絶縁膜9Cが得られる。

【0190】同様の方法で酸化ジルコニウム膜(または酸化ハフニウム膜)からなるゲート絶縁膜9Cを形成する場合は、基板1上にZr膜(またはHf膜)を堆積した後、水分/水素分圧比が基板1(Si)を実質的に酸化せず、Zr(またはHf)のみを選択的に酸化するような割合に設定された水分+水素混合ガス雰囲気中で基板1を熱処理する。これにより、Zr膜(またはHf膜)が酸化されて酸化ジルコニウム膜(または酸化ハフニウム膜)に変換される結果、酸化ジルコニウム膜(または酸化ハフニウム膜)からなるゲート絶縁膜9Cが得られる。

【0191】基板1上に堆積した高融点金属膜をその酸化物に変換するための熱処理は、高融点金属膜の上部にW膜などのゲート電極材料を堆積してから行ってもよい。この場合は、まず、図32に示すように、基板1(p型ウエル7およびn型ウエル8)の上部にスパッタリング法でTi膜31を堆積した後、Ti膜31の上部にスパッタリング法またはCVD法で膜厚50nm程度のW膜11A(またはMo膜)を形成する。

【0192】次に、水分/水素分圧比がSiを実質的に酸化せず、Tiのみを選択的に酸化するような割合(前記図13の曲線(d)と曲線(e)とに挟まれた領域の範囲内)に設定された水分+水素混合ガス雰囲気中で基板1を熱処理する。これにより、水分+水素混合ガス中の水分に由来する酸化種(OH基)がW膜11A(またはMo膜)を通じてTi膜31に侵入し、Ti膜31を酸化チタン膜に変換する結果、図33に示すように、ゲート電極材料であるW膜11A(またはMo膜)の直下に酸化チタン膜からなるゲート絶縁膜9Cが形成される。また、水分/水素分圧比が上記の割合に設定された水分+水素混合ガス雰囲気中で熱処理を行ってもW膜11A(またはMo膜)が酸化されることはないので、ゲート電極の抵抗が大きくなることはない。

【0193】酸化ジルコニウム膜や酸化ハフニウム膜からなるゲート絶縁膜9Cも、ジルコニウム膜やハフニウム膜を上記の方法で酸化することによって形成することができる。

【0194】(実施の形態6)二酸化シリコン換算膜厚が5nm未満の膜厚を有し、酸化シリコンを主要な成分とするゲート絶縁膜9Aは、次のような方法によって形成することもできる。

【0195】まず、図34に示すように、前記実施形態1と同様の方法で基板1にp型ウエル7およびn型ウエル8を形成し、続いてそれらの表面を洗浄して不要な絶縁膜を除去した後、それらの上部にスパッタリング法またはCVD法で膜厚50nm程度のW膜11A(またはMo膜)を形成する。

【0196】次に、W膜11Aが形成された上記基板1

(20)100-349285(P2000-85)

を熱処理する。この熱処理は、水分／水素分圧比を前記図13の曲線(a)と曲線(d)とに挟まれた領域の範囲内に設定した水分＋水素混合ガス雰囲気、すなわちWを酸化することなしにSiのみを選択的に酸化するように水分濃度を設定した水分＋水素混合ガス雰囲気中で行う。この水分＋水素混合ガスは、その水分濃度を高精度に制御できる前記触媒方式の水分＋水素混合ガス生成装置を使用して生成するとよい。

【0197】上記の熱処理を行うことにより、水分＋水素混合ガス中の水分に由来する酸化種(OH基)がW膜11Aを通じて基板1に侵入し、その表面が酸化される。この結果、図35に示すように、W膜11Aと基板1との界面に極めて薄い酸化シリコン膜で構成されたゲート絶縁膜9Aが形成される。この方法によれば、膜厚1nm以下の極めて薄い酸化シリコン膜で構成されたゲート絶縁膜を形成することもできる。

【0198】なお、基板1の表面を酸化するときの熱処理温度が550℃～600℃を越えると、W膜11Aと基板1とが反応してそれらの界面にシリサイド化合物が生成するので、このシリサイド反応が生じない低温領域で熱処理を行う必要がある。同様に、ゲート電極用のメタル膜がMoの場合は、熱処理温度が500℃を越えるとシリサイド反応が生じるので、それ以下の温度領域で熱処理を行う必要がある。

【0199】W膜11Aと基板1との界面に酸化シリコンからなるゲート絶縁膜9Dを形成するための熱処理は、ゲート電極を形成した後に行ってもよい。この場合は、まず、図36に示すように、基板1(p型ウエル7およびn型ウエル8)の上部にスパッタリング法またはCVD法で膜厚50nm程度のW膜11Aを形成した後、フォトリソレジスト膜(図示せず)をマスクにしてW膜11Aをドライエッチングすることにより、ゲート電極11を形成する。ゲート電極11は、Mo膜をドライエッチングして形成してもよい。

【0200】次に、ゲート電極11が形成された上記基板1を熱処理する。この熱処理は、水分／水素分圧比を前記図13の曲線(a)と曲線(d)とに挟まれた領域の範囲内に設定した水分＋水素混合ガス雰囲気、すなわちWを酸化することなしにSiのみを選択的に酸化するように水分濃度を設定した水分＋水素混合ガス雰囲気中で行う。

【0201】上記の熱処理を行うことにより基板1の表面が酸化され、図37に示すように、酸化シリコンからなるゲート絶縁膜9A'が形成される。このとき、ゲート電極11を構成するW膜(11A)を通じてゲート電極11の直下の基板1にも酸化種(OH基)が供給されるので、この領域の基板1も酸化される。しかし、ゲート電極11の直下の基板1は、他の領域の基板1に比べて酸化量が少ないため、W膜11Aと基板1との界面には極めて薄い酸化シリコン膜で構成されたゲート絶縁膜

9Aが形成される。この方法によれば、膜厚1nm以下の極めて薄い酸化シリコン膜で構成されたゲート絶縁膜を形成することもできる。

【0202】なお、この場合も、ゲート電極11を構成するW膜(11A)と基板1との界面にシリサイド化合物が生成しない温度領域で熱処理を行う必要がある。

【0203】(実施の形態7)本実施形態は、ダマシネ(Damascene)法を使ってゲート電極を形成するMISFETの製造に適用したものである。

【0204】まず、図38に示すように、前記実施形態1と同様の方法で基板1にp型ウエル7およびn型ウエル8を形成した後、p型ウエル7およびn型ウエル8のそれぞれの表面に残った酸化シリコン膜2の上部にCVD法で膜厚50nm程度の多結晶シリコン膜41Aを堆積する。

【0205】次に、図39に示すように、フォトリソレジスト膜(図示せず)をマスクにしたドライエッチングで多結晶シリコン膜41Aをパターニングしてゲート電極41を形成した後、前記実施形態1と同様の方法でゲート電極11の側壁にサイドウォールスペーサ18を形成し、さらにp型ウエル7にn<sup>+</sup>型半導体領域20(ソース、ドレイン)、n型ウエル8にp<sup>+</sup>型半導体領域21(ソース、ドレイン)をそれぞれ形成する。なお、上記ゲート電極41を構成する材料は多結晶シリコンでなくともよく、例えば窒化シリコンなど構成することもできる。

【0206】次に、図40に示すように、基板1上にCVD法で酸化シリコン膜42を堆積した後、化学機械研磨法で酸化シリコン膜42を平坦化することによって、その表面の高さをゲート電極11の高さに合わせる。

【0207】次に、図41に示すように、酸化シリコン膜42をマスクにしたドライエッチングでゲート電極11を除去することによって、ゲート電極11の下部の基板1(p型ウエル7、n型ウエル8)表面を露出させる。

【0208】次に、図42に示すように、ゲート電極11の除去によって露出した基板1(p型ウエル7、n型ウエル8)表面に膜厚1nm以下の極めて薄い酸化シリコン膜43を形成する。この酸化シリコン膜43は、水分／水素分圧比がSiを酸化するように設定された水分＋水素混合ガス雰囲気中で基板1を熱処理することによって形成する。このときの水分濃度は、例えば1%～30%程度、熱処理温度は、例えば700℃～800℃程度とする。

【0209】次に、図43に示すように、上記酸化シリコン膜42、43の上部に二酸化シリコン換算膜厚が1nm以下の極めて薄い酸化チタン膜44をスパッタリング法で堆積する。このとき堆積する絶縁膜は、酸化ジルコニウム、酸化ハフニウム、酸化タンタル膜など、前述した高誘電率のゲート絶縁膜用金属酸化物であればいずれ

(21) 00-349285 (P2000- 断率

でもよい。

【0210】次に、図44に示すように、酸化シリコン膜42の上部の酸化チタン膜44を化学機械研磨法で除去する。これによって、次の工程でゲート電極が形成される領域の基板1(p型ウエル7、n型ウエル8)表面に酸化シリコン膜43とその上部の酸化チタン膜44との複合膜からなるゲート絶縁膜9Eが形成される。このとき、ゲート絶縁膜9Eの一部(酸化チタン膜44)は、サイドウォールスペーサ48の側壁にも形成される。

【0211】次に、上記ゲート絶縁膜9Eを構成する酸化シリコン膜43および酸化チタン膜44の欠陥を修復するための熱処理を行う。この熱処理は、水分/水素分圧比がSiおよびTiを酸化するように設定された水分+水素混合ガス雰囲気中で基板1を熱処理することによって行う。このときの水分濃度は、例えば1%~30%程度、熱処理温度は、例えば600℃~800℃程度とする。

【0212】次に、図45に示すように、酸化シリコン膜42およびゲート絶縁膜9Eの上部にスパッタリング法またはCVD法でW膜を形成した後、酸化シリコン膜42の上部のW膜を化学機械研磨法で除去することによってゲート電極11を形成する。ゲート電極11は、Mo、Cu、Alなどで構成してもよい。ここまでの工程でp型ウエル7にnチャネル型MISFETQnが形成され、n型ウエル8にpチャネル型MISFETQpが形成される。

【0213】上記したダマシン法によってゲート電極11を形成した場合は、ゲート絶縁膜9Eの一部がゲート電極11にも形成されるため、ゲート電極11の側壁下部におけるゲート絶縁膜9Eの耐圧が向上する。

【0214】以上、本発明者によってなされた発明をその実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0215】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0216】本発明によれば、極薄ゲート絶縁膜上にメタルゲート電極を形成したMISFETの信頼性および製造歩留まりを向上させることができる。

【0217】本発明によれば、酸化シリコンよりも誘電率が高い金属酸化物を含むゲート絶縁膜上にメタルゲート電極を形成したMISFETの信頼性および製造歩留まりを向上させることができる。

【0218】本発明によれば、二酸化シリコン換算膜厚が5nm未満の膜厚を有する高品質なゲート絶縁膜を歩留まりよく形成することできるので、CMOS-LSIの高集積化を推進することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図2】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図6】ゲート絶縁膜の形成に使用する枚葉式の成膜装置を示す概略図である。

【図7】(a)は、酸化膜形成室の具体的な構成の一例を示す概略平面図、(b)は、(a)のB-B'線に沿った断面図である。

【図8】触媒方式の水分+酸素混合ガス生成装置を示す概略図である。

【図9】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図10】酸化膜成長速度に対する水分濃度の依存性を示すグラフである。

【図11】(a)は、水分+酸素混合ガスの水分濃度を定義するための説明図、(b)は、水分+水素混合ガスの水分濃度を定義するための説明図である。

【図12】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図13】水分+水素混合ガスを使った酸化還元反応の平衡蒸気圧比( $P_{H_2O}/P_{H_2}$ )の温度依存性を示すグラフである。

【図14】触媒方式の水分+水素混合ガス生成装置と水素ガス除害装置とを示す概略図である。

【図15】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部拡大断面図である。

【図17】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部拡大断面図である。

【図18】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図であ

(22) 100-349285 (P2000-\$85

る。

【図19】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図20】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の実施形態1であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の実施形態2であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図23】本発明の実施形態2であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図24】絶縁膜の二酸化シリコン換算膜厚を定義する式である。

【図25】本発明の実施形態3であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の実施形態3であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図27】本発明の実施形態3であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図28】本発明の実施形態4であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図29】本発明の実施形態4であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図30】本発明の実施形態5であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図31】本発明の実施形態5であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図32】本発明の実施形態5であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図33】本発明の実施形態5であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図34】本発明の実施形態6であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図35】本発明の実施形態6であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図であ

る。

【図36】本発明の実施形態6であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図37】本発明の実施形態6であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部拡大断面図である。

【図38】本発明の実施形態7であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図39】本発明の実施形態7であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図40】本発明の実施形態7であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図41】本発明の実施形態7であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図42】本発明の実施形態7であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図43】本発明の実施形態7であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図44】本発明の実施形態7であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

【図45】本発明の実施形態7であるCMOS-ロジックLSIの製造方法を示す半導体基板の要部断面図である。

#### 【符号の説明】

- 1 半導体集積回路装置用シリコン基板（ウエハ）
- 2 酸化シリコン膜
- 3 窒化シリコン膜
- 4 素子分離溝
- 5 酸化シリコン膜
- 6 酸化シリコン膜
- 7 p型ウエル
- 8 n型ウエル
- 9A~9E ゲート絶縁膜
- 11A W膜
- 11 ゲート電極
- 12 導電性バリア膜
- 13 窒化シリコン膜
- 14 フォトレジスト膜
- 15 窒化シリコン膜
- 16 n<sup>-</sup>型半導体領域
- 17 p<sup>-</sup>型半導体領域
- 18 サイドウォールスペーサ

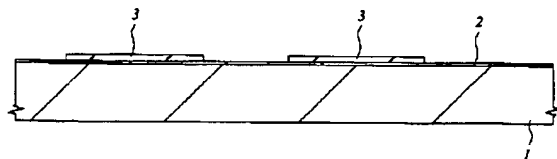


(23) 100-349285 (P2000-:85)

- |       |                                  |           |               |
|-------|----------------------------------|-----------|---------------|
| 20    | n <sup>+</sup> 型半導体領域 (ソース、ドレイン) | 126       | ガス導入管         |
| 21    | p <sup>+</sup> 型半導体領域 (ソース、ドレイン) | 127       | 貫通孔           |
| 22    | 酸化シリコン膜                          | 128       | 隔壁            |
| 23    | コンタクトホール                         | 129       | 排気管           |
| 24    | コンタクトホール                         | 130       | ランプ           |
| 25~30 | 配線                               | 140       | 水分+酸素混合ガス生成装置 |
| 31    | Ti 膜                             | 141       | 反応器           |
| 41A   | 多結晶シリコン膜                         | 142       | コイル           |
| 41    | ゲート電極                            | 143       | ヒータ           |
| 42    | 酸化シリコン膜                          | 144a~144c | ガス貯留槽         |
| 43    | 酸化シリコン膜                          | 145       | 配管            |
| 44    | 酸化チタン膜                           | 146a~146c | マスフローコントローラ   |
| 100   | 成膜装置                             | 147a~147c | 開閉バルブ         |
| 101   | 洗浄装置                             | 148       | 接続部           |
| 102   | ローダ                              | 240       | 水分+水素混合ガス生成装置 |
| 103   | 洗浄室                              | 241a      | 反応器           |
| 104   | フッ酸洗浄室                           | 241b      | 反応器           |
| 105   | 乾燥室                              | 242       | コイル           |
| 106   | バッファ                             | 243       | ヒータ           |
| 107   | 酸化膜形成室                           | 244a~144c | ガス貯留槽         |
| 108   | 酸化窒化膜形成室                         | 245       | 配管            |
| 109   | 熱処理室                             | 246a~246e | マスフローコントローラ   |
| 110   | ローダ/アンローダ                        | 247a~247e | 開閉バルブ         |
| 111   | メタル膜形成室                          | 250       | 水素ガス除害装置      |
| 112   | 搬送系                              | 251       | 配管            |
| 113   | ロボットハンド                          | 252       | 逆止弁           |
| 120   | チャンバ                             | 253       | 排気管           |
| 122   | 均熱リング                            | 254       | 水素ガスセンサ       |
| 123   | サセプタ                             | 255、256   | 冷却器           |
| 124   | 支持アーム                            | Qn        | nチャネル型MOSFET  |
| 125   | 熱電対                              | Qp        | pチャネル型MOSFET  |

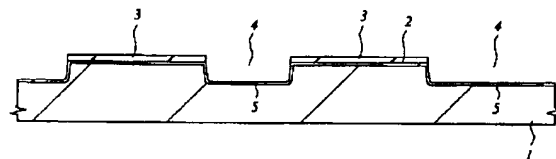
【図1】

図 1



【図2】

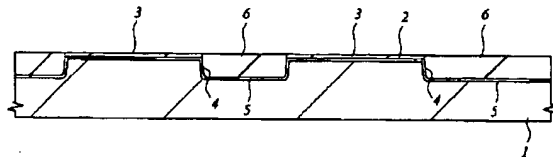
図 2



(24) 100-349285 (P2000-I率)

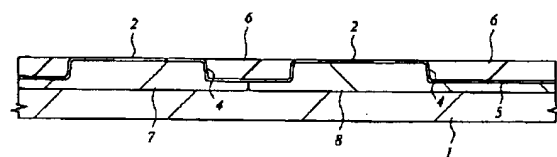
【図3】

図 3



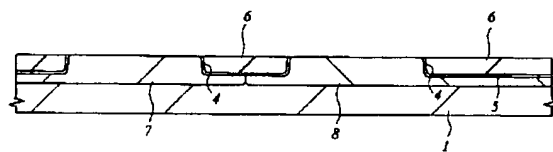
【図4】

図 4



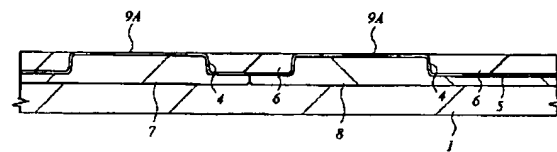
【図5】

図 5



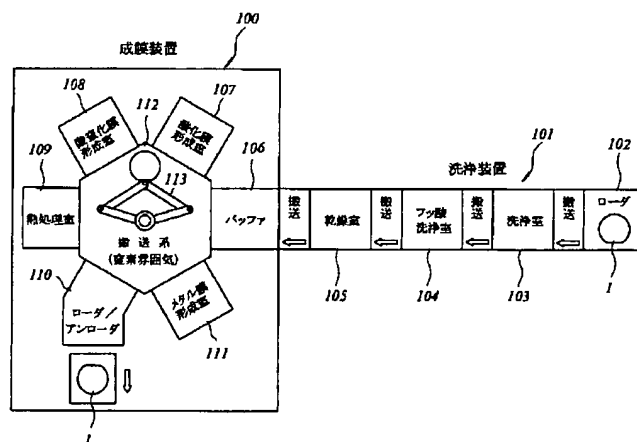
【図9】

図 9



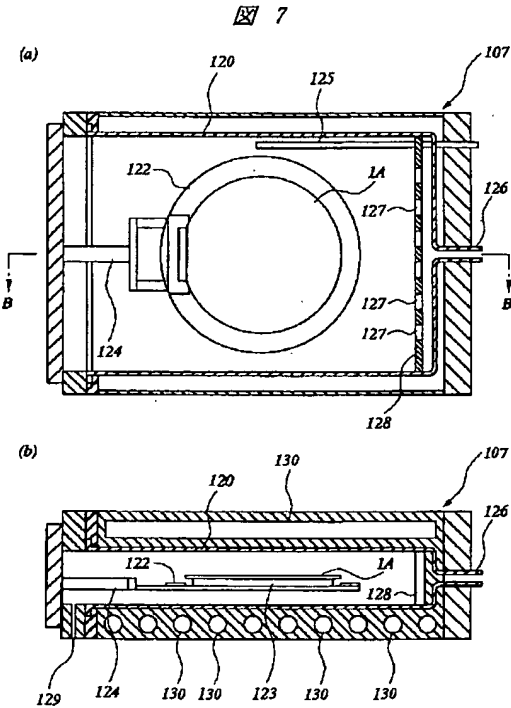
【図6】

図 6

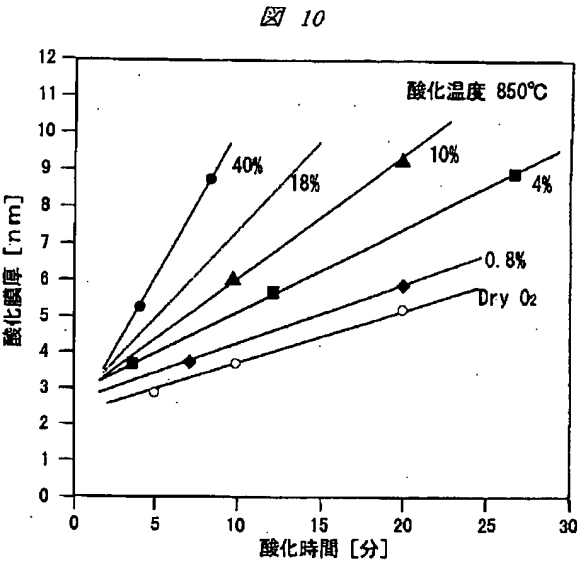


(25) 100-349285 (P2000-\$85

【図7】



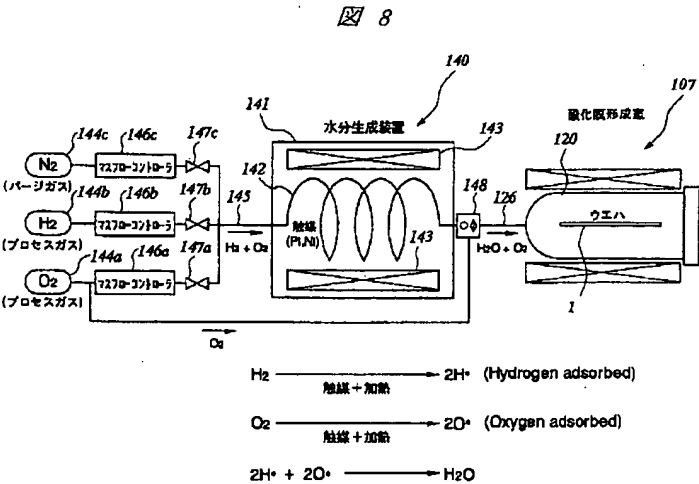
【図10】



【図24】

図 24

【図8】



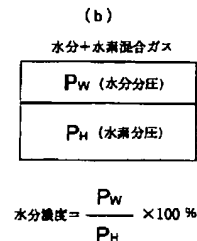
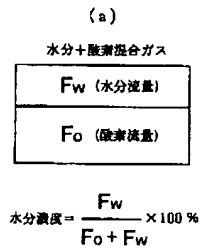
$$d_r = \epsilon_s \sum_i \frac{d_i}{\epsilon_i}$$

$d_r$  = 二酸化シリコン換算膜厚  
 $d_i$  = 対象絶縁膜の膜厚  
 $\epsilon_s$  = シリコンの比誘電率  
 $\epsilon_i$  = 対象絶縁膜の比誘電率

(26) 100-349285 (P2000-Q85)

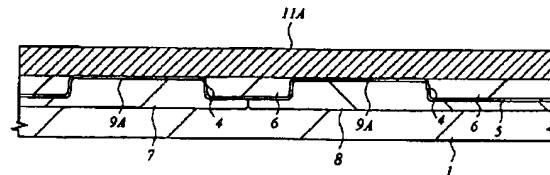
【図11】

図 11



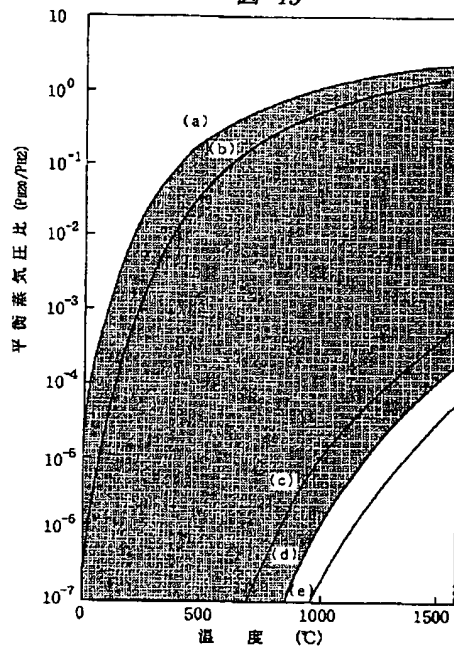
【図12】

図 12



【図13】

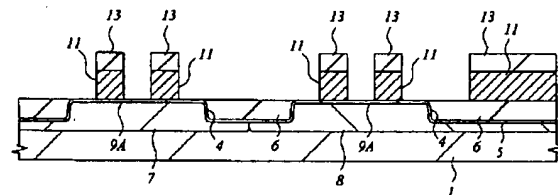
図 13



- (a)  $W + 3H_2O \rightleftharpoons WO_3 + 3H_2$   
 (b)  $Mo + 2H_2O \rightleftharpoons MoO_2 + 2H_2$   
 (c)  $2Ta + 5H_2O \rightleftharpoons Ta_2O_5 + 5H_2$   
 (d)  $Si + 2H_2O \rightleftharpoons SiO_2 + 2H_2$   
 (e)  $Ti + 2H_2O \rightleftharpoons TiO_2 + 2H_2$

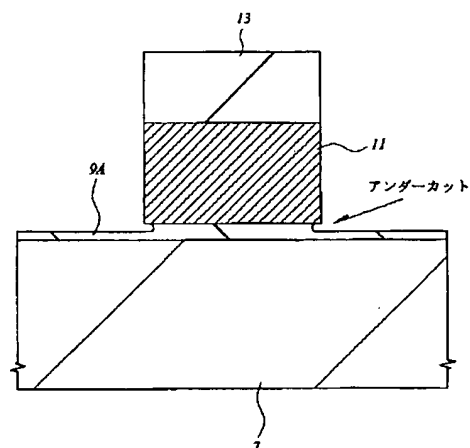
【図15】

図 15



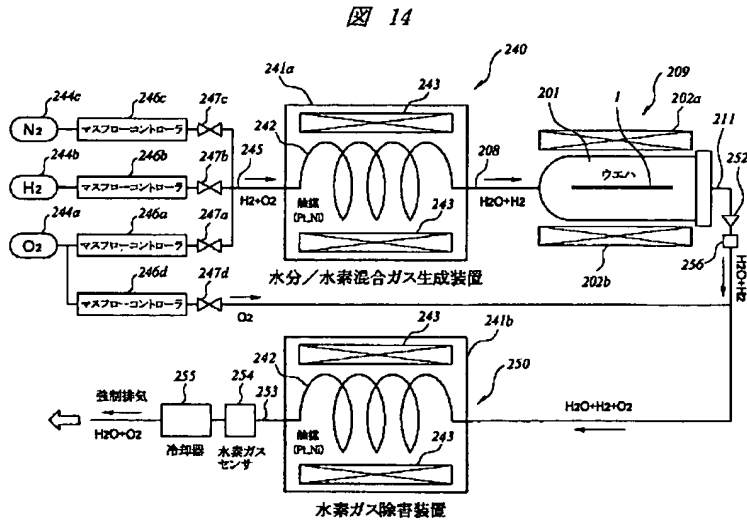
【図16】

図 16

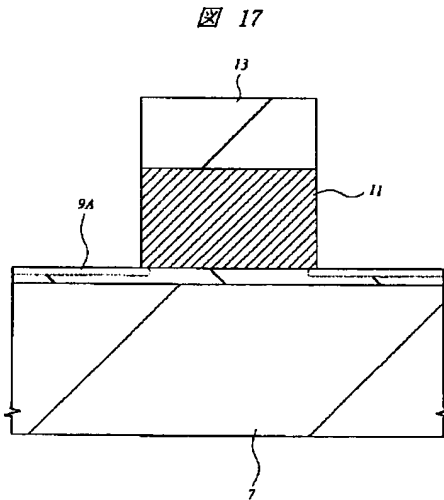


(27) 100-349285 (P2000-, 85)

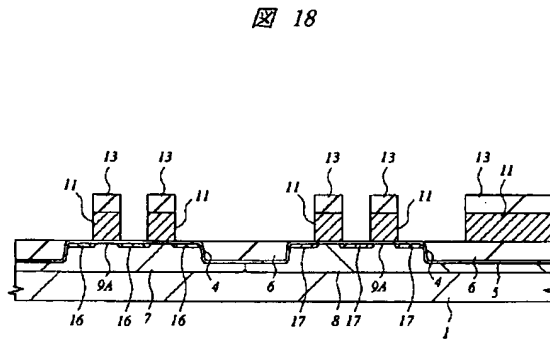
【図14】



【図17】



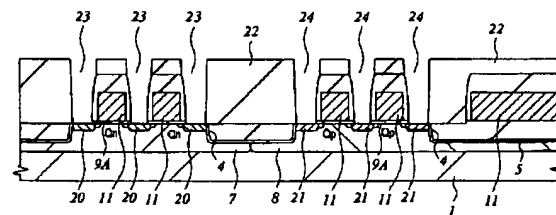
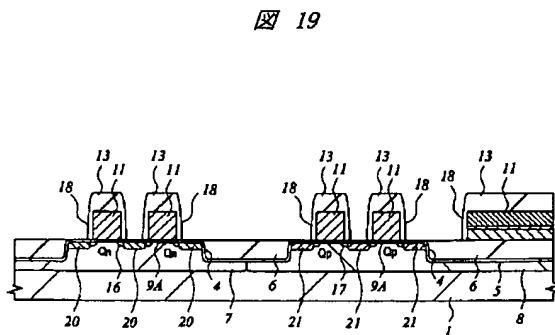
【図18】



【図20】

図 20

【図19】

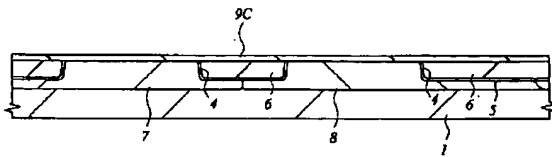


A detailed cross-sectional diagram of a multi-layered substrate assembly. The assembly consists of several horizontal layers: a top layer (1), a middle layer (5) containing conductive traces (6), and a bottom layer (7). Vertical structures are formed by depositing material (13) onto the top surface and etching it back to reveal underlying features (11). These features are connected to the conductive traces (6) through vias or openings in the middle layer (5). The entire structure is supported by a base layer (8).

(29) 100-349285 (P2000-0b85)

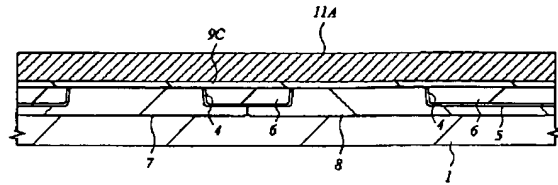
【図28】

図 28



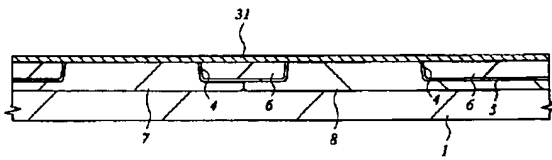
【図29】

図 29



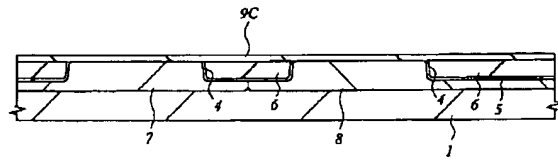
【図30】

図 30



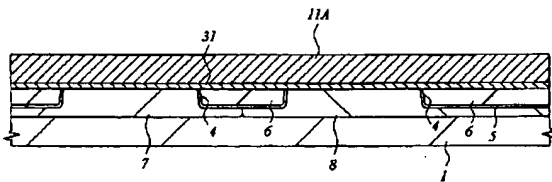
【図31】

図 31



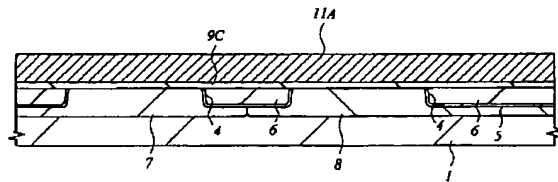
【図32】

図 32



【図33】

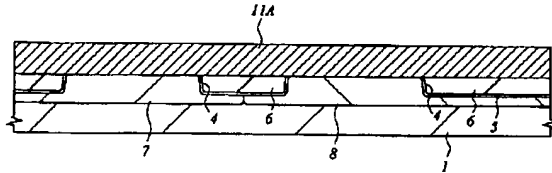
図 33



(30) 100-349285 (P2000-.牽

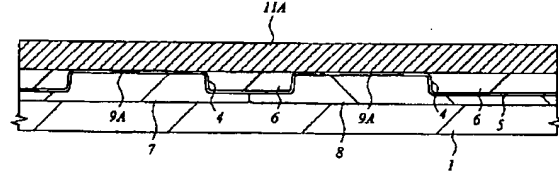
【図34】

図 34



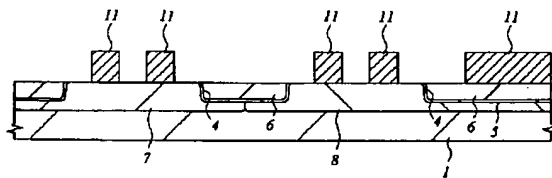
【図35】

図 35



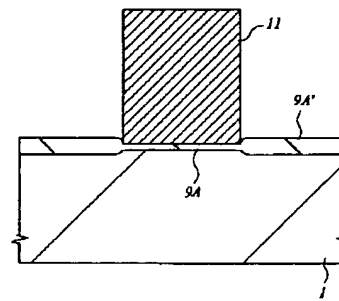
【図36】

図 36



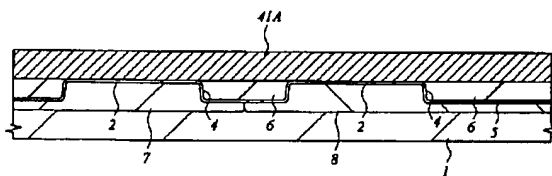
【図37】

図 37



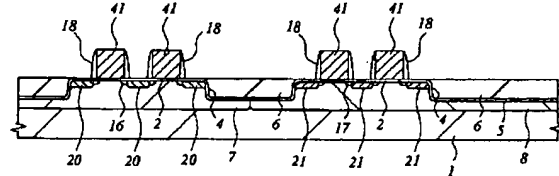
【図38】

図 38



【図39】

図 39

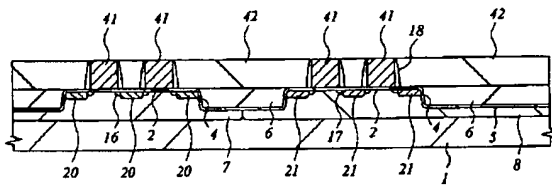




(31) 100-349285 (P2000-8 牽)

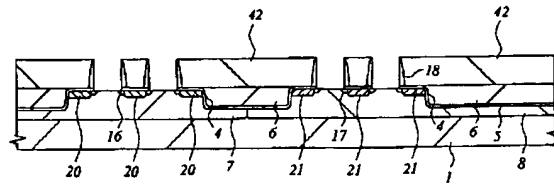
【図40】

図 40



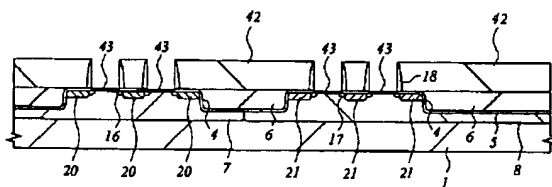
【図41】

図 41



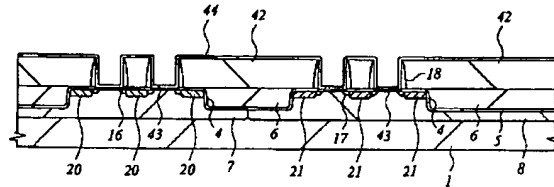
【図42】

図 42



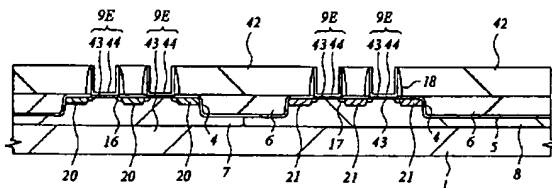
【図43】

図 43



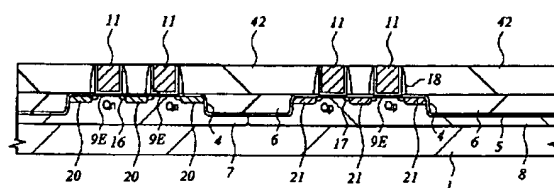
【図44】

図 44



【図45】

図 45



(32) 100-349285 (P2000-:85)

フロントページの続き

F ターム(参考) 4M104 AA01 BB02 BB04 BB16 BB18  
BB29 BB30 BB31 BB32 BB33  
CC01 CC05 DD03 DD04 DD23  
DD37 DD43 DD65 DD79 DD99  
EE03 EE06 EE12 EE16 EE17  
FF13 FF18 GG10 HH20  
5F040 DA00 DA01 DB03 EC01 EC04  
EC08 EC10 ED01 ED03 ED05  
EF02 EH02 EK05 FA01 FA02  
FA03 FA07 FA17 FA18 FB02  
FB04 FC00 FC10 FC28  
5F048 AA07 AB03 AC03 BA01 BB04  
BB09 BB11 BB12 BC06 BE03  
BF07 BG13 BG14 DA19 DA20  
DA27  
5F058 BA01 BA04 BD01 BD04 BD05  
BD10 BF55 BF63 BF80 BG01  
BG02 BG03 BG04 BJ01 BJ10

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**